

COMPLIANT ELECTRICALLY CONNECTIVE BUMPS FOR AN ADHESIVE FLIP CHIP INTEGRATED CIRCUIT DEVICE AND METHODS FOR FORMING SAME**Publication number:** JP9512386T**Publication date:** 1997-12-09**Inventor:****Applicant:****Classification:**

- international: H01L23/52; H01L21/3205; H01L21/56; H01L21/60; H01L23/485; H01L23/498; H01L23/52; H01L21/02; H01L23/48; (IPC1-7): H01L21/321; H01L21/3205

- european: H01L21/56F; H01L21/60B2; H01L23/485B; H01L23/498C

Application number: JP19950521440T 19950213

Priority number(s): WO1995US02109 19950213; US19940195434 19940214

Also published as:

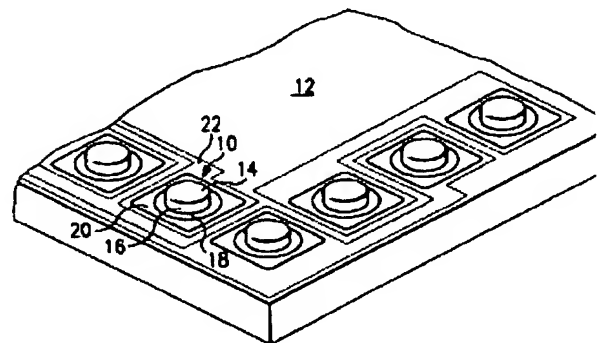
WO9522172 (A)
EP0745270 (A1)
US5508228 (A1)
EP0745270 (A4)
EP0745270 (A0)

Report a data error he

Abstract not available for JP9512386T

Abstract of corresponding document: **WO9522172**

Compliant electrically conductive connection bumps (10) for an adhesive flip chip (12) integrated circuit device and various methods for forming the bumps include the steps of forming polymer bumps (24) on a substrate (12) or an integrated circuit die and coating the polymer bumps with a metallization layer (26). The polymer bump forming step includes the steps of coating a polymer material on a substrate, curing the polymer, and etching the bump pattern from the polymer material. The overcoating step includes electrolessly plating a ductile metal such as gold on the polymer bump.



Data supplied from the esp@cenet database - Worldwide

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS**[Claim(s)]**

1. It is the Approach of Forming Conductive Flexibility Bump to Base Top Which Has Said Electrical Installation Terminal for Connecting Electrical Installation Terminal to Electrical Installation Point Broadly and Flexibly. The process which forms polymer bump on the position of said electrical installation terminal, The process which specifies a predetermined field including the polymer bump for carrying out plaiting of the metal which has the ductility for covering the polymer bump concerned and forming the electrical installation to said electrical installation terminal on it, How to consist the metal layer which has ductility of a process which carries out plaiting, in order to form broadly and flexibly the electrical installation which can connect between an electrical installation terminal and electrical installation points on a polymer bump and said some of electrical installation terminals.
2. It is the approach of consisting of a process which carries out plaiting of the polymer bump make it said plaiting process have said catalysis further done in non-electrical and electric equipment by said convention process consisting of a process which catalyst-izes said polymer bump in an approach given in the 1st term of a claim in order to form the polymer bump made to have a catalysis done.
3. It is the approach of consisting of a process in which said polymer bump formation process forms said polymer bump in an approach given in the 1st term of a claim using a sentiment dirty process.
4. It is the approach of consisting of a process which carries out plaiting of said polymer bump by whom said plaiting process has further said catalyst mixed beforehand in non-electrical and electric equipment by said polymer bump consisting of a polymer ingredient which has the catalyst mixed beforehand in an approach given in the 1st term of a claim.
5. It is the approach of consisting of a process which forms a polymer bump in an approach given in the 1st term of a claim from the polymer in which the photograph image of said polymer bump formation process is possible.
6. It is the approach of consisting of a process which carries out plaiting of the polymer bump make it said plaiting process have said catalysis further done in non-electrical and electric equipment by said convention process consisting of a process which catalyst-izes said polymer bump in an approach given in the 5th term of a claim in order to form the polymer bump made to have a catalysis done.
- 7., and Said Approach is . Process Which Deposits Metal Which Has Ductility on Integrated-Circuit Wafer, [Approach Given in 1st Term of Claim] Process which forms a photoresist layer on integrated-circuit wafer in order to specify the predetermined field which are a part of layer of the metal which has wrap ductility for said polymer bump, and layer of the metal which has ductility How to consist of a process which removes the part to which the layer of the metal which has ductility was left behind.
8. It is the approach of consisting of a process which carries out plaiting of the polymer bump who has the catalyst with which said plaiting process was mixed further beforehand in non-electrical and electric equipment by said polymer bump consisting of a polymer ingredient which has the catalyst mixed beforehand in an approach given in the 1st term of a claim.
9. It is Assembly of Electronic Instrument. Electric Apparatus Which Has Electrical Installation Point, The base which has the conductive flexibility bump electrically connected to the electrical

installation terminal on the base concerned, It consists of adhesives which connect said base to said electric apparatus, and connect said conductive flexibility bump to said electrical installation point broadly and electrically. a wide range flexibility aforementioned conductive flexibility bump Said electrical installation terminal is connected to an electrical installation point and said electric apparatus. Said conductive flexibility bump With the polymer bump on the position of electrical installation terminal It consists of a layer of the metal which has the ductility by which the plate was carried out on [some] the polymer bump and the electrical installation terminal. The assembly whose connection of between an electrical installation terminal and an electrical installation point said polymer bump and electrical installation terminal enable and which is wide range and forms flexibility electrical installation.

10. It is the Approach of Forming on Base Which Has Electrical Installation for Connecting Conductive Flexibility Bump to at Least One Flexibility Bump. Process Which Forms Polymer Bump on Said Electrical Installation, The process which carries out plaiting of the conductive metal thin film layer which connects electrically to said at least one electrical installation in non-electrical and electric equipment on said base and a polymer bump, The process which forms the layer of the photoresist mask which has opening of the predetermined magnitude corresponding to said flexibility bump's surface field on said conductive metal thin film layer, The layer of the metal which has ductility on the surface field to which it was specified with the photoresist mask The process which carries out electric plaiting in order to form the conductive metal layer which consists of a part of thin conductive metal layer on the metaled layer and polymer bump who have ductility, and electrical installation, Process removed in order to expose the part to which said conductive metal thin film layer was left behind in photoresist mask How to consist of a process which removes a conductive metal thin film layer.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

Name of invention Flexibility for the flip chip integrated circuit device for adhesion Right of a conductive connection bump and its formation approach government The American government has a right under the restrictive situation that it is refer to as require of a patentee to give others authorization in the suitable period specified by the period of contract number NIST/ATP70NANB1H1114 in which arbitration grant was carried out by concession, NASHONARUINSHITICHUTOOBU standards, and technology (NIST). [finishing / payment / countervalue / per this invention]

Technical field of invention This invention relates to forming a flexibility bump on flip chip equipment using the polymer bump to whom it is the electrical installation which it is economical, is supple (compliant) and can be used again, and the thin film layer of the metal for offering the electrical installation for the flip chip assembly for adhesion was applied.

Background of invention Some efforts to commercialize the flip chip assembly technique for adhesion are made in recent years. In these efforts, the manufacturer got to know the dependability of a large number which bar wide range use of the flip chip for adhesion, and the failure on manufacture. Failure of the flip chip for adhesion on glass or the substrate of SERAMMIKKU is produced according to various causes. Electrical installation in a great portion of flip chip assembly technique for adhesion is performed through the node when it was compressed between the chip and the substrate. Here, on it, a "substrate" assembles two or more conductors, or usually points out any ingredients which can carry out a deposit.

While this design has the life of an assembly, it requires that the tensile stress in adhesion should make and maintain electrical installation. However, when a binder is prolonged in Z shaft orientations or expands (swell), the deficit of electrical installation breaks out. Elongation or expansion of Z shaft orientations is produced for absorption of thermal expansion or moisture. The crack by big exfoliation or tensile stress will be produced in the binder, when adhesion stress is superfluous. These are produced also by migration of a Z direction again.

In order to connect a chip to a substrate electrically, the polymer or solid-state metal grain covered with the projected solid-state metal bump or (setting to the conductive binder of an anisotropy) metal is well used for the flip chip assembly for adhesion. Since a flip chip system has the pad of a chip in the location which became depressed 1 micrometer or more than it in the typical value below passivation covering of a chip, these bumps or a metal grain is used. It curved, or the twisted configuration which are other chips or substrates will make electrical installation impossible, if it has a certain bump between a chip and a substrate, or no metal grain. In the case of the flip chip assembly technique using the conductive binder of an anisotropy, a metal grain is comparatively small. Many metal grains have the diameter of about 10 micrometers or less. As a result, the thickness of such a bump's bond line (bond line) is also 10 micrometers or less. This makes it possible to bring close and station a bump, unless a bump contacts mutually. In such equipment, it is realizable for the no connection of the longitudinal direction whose connectability of positive Z shaft orientations is not desirable. However, tensile stress high for the bond line of thin adhesives arises on the square of such equipment, especially a chip.

Since the flip chip assembly using the bump of a solid-state metal generates the optimal stress level, there is [profitableness that adjustment of bump height which optimizes the thickness of a bond line

is permissible J. "the connection method of a semiconductor device" by KHatada which an example of a solid-state metal bump technique was published on September 15, 1987, and was transferred to Matsushita Electric Industries -- U.S. patent number It can see to 4,693.770 (following, Hatada). In order to form the electrical installation from a die (die) to a substrate, the solid-state golden bump is used for Hatada. This is application to typical LCD. However, the main problems of the equipment of Hatada are being in the inclination breaking down for the relaxation (creep-relaxation) by the creep of adhesives. However, only this is not a problem in a solid-state metal bump's configuration. A solid-state metal bump's coefficient of thermal expansion (CTE) is very smaller than the coefficient of thermal expansion of the adhesives which are supporting flip chip equipment by contacting a substrate, when typical.

Therefore, since a flip chip raises temperature, adhesives are elongated earlier than a bump. This separates a flip chip from a substrate. This thermal expansion makes the circuit between a flip chip and a substrate open as a result.

From such a problem, the flip chip assembly for adhesion which uses a solid-state metal bump needs the adhesives which have a special mechanical property. Adhesives must be equipped with a small coefficient of thermal expansion and small hygroscopicity. Furthermore, the glass transition temperature, the storage modulus, ****, and bond strength of adhesives must be strong. There are almost no adhesives equipped with such a property. Generally this is the causes, such as the problem on manufacture, i.e., a short pot life, (pot lives), reusable lack, generating of excessive ion, and a demand of long curing time.

Other limits of a flip-chip-bonding technique are related to the manufacture process at the time of bonding being performed. The manufacturer of most multichip electronic assemblies does not produce that their design is also in all the integrated-circuit die chips. Instead, they purchase an integrated-circuit die frequently from various manufacturers who will not offer a flip chip bump process. These progressive chip manufacturers are often very conservative about the information which can be used in order that a business competition company and a need person may compute the manufacturing cost of a chip. For this reason, they refuse to sometimes supply an integrated circuit chip with the gestalt of a wafer. This is because a perfect wafer will show the yield of the integrated circuit from the wafer. The electric yield of the excellent article chip per wafer is the 1st cost driver. The knowledge of the business competition company about the information on this cost follows, and is harmful to the interest on a manufacturer's enterprise. That the process after the flip chip equipment for forming these bumps on the whole wafer cannot be made restricts the usefulness of the flip chip assembly technique in a multi chip module.

Therefore, the related technique is not teaching how the flip chip bump who can conquer dependability and the failure on manufacture in relation to known manufacture and use of an electrical installation bump is formed.

The related technique is not teaching the formation approach of the connection bump for the flip chip assembly for adhesion which avoids the problem about the bump of the flip chip assembly for adhesion of known, like it is divided and the whole exfoliation and electrical installation are lost depended on tensile stress.

Any instruction cannot be found about the bump technique for the flip chip assembly for adhesion which realizes conductivity of positive Z shaft orientations, and conquers the problem related to the coefficient of thermal expansion (CTE) in the bump of the known flip chip assembly for adhesion. There is no formation process of the flip chip bump who removed the need of receiving adhesives equipped with the special mechanical characteristics called a low coefficient of thermal expansion (CTE) and low hygroscopicity with a high glass transition temperature, a storage modulus, ****, and bond strength. Especially the related technique is not teaching further the approach of connecting the bump of the flip chip assembly for adhesion which makes it unnecessary to prepare the die of an assembly at all.

Summary of invention The purpose of this invention is in the thing which follow and relates to the flip chip assembly for adhesion, and its formation approach and for which the flexibility connection bump for disadvantageous and the known flip chip assembly for connection bump adhesion which solved the problem substantially or was lessened is offered.

Other purposes of this invention are to offer [the process which forms a polymer bump on the

connection pad of the integrated circuit of the flip chip assembly for adhesion, and] the formation approach of the flexibility bump for the flip chip assembly for adhesion which includes a wrap process for a polymer bump in a metal layer.

The configuration of this invention has a polymer bump formation process in including the process which applies the polymer ingredient by which a cure will be carried out on a substrate behind. The following process is specifying a dirty pattern on a polymer ingredient using a dirty mask. And patterning is performed based on the pattern of a dirty mask. Furthermore, a polymer ingredient sleeps together in order to form a polymer bump. in order that an etching process may form a polymer bump -- a polymer ingredient -- the plasma -- you may also include dirty or carrying out wet chemical dirty. A polymer bump formation process applies on a substrate the polymer ingredient (photo-imageable or photosensitivity) in which a photograph image is possible, prebakes a polymer (pre-baking), and in order to develop after that the polymer ingredient in which a photograph image is possible in a polymer bump configuration, it may also include the process which exposes the polymer ingredient in which a photograph image is possible.

Other configurations of this invention may also include the process to which a polymer bump's covering carries out the deposit of the thin plating bus (plating buss) on a substrate, and the process which specifies the field which should be carried out a plate by using a plating mask to this thin plating bus. A covering process includes the process which carries out electric plating of the metal layer to the field which a plating mask specifies. The following process is removing a plating mask and a plating bus. You may replace a covering process with above and it may also include carrying out plating of the metal which has ductility like gold on a polymer bump in non-electrical and electric equipment in a polymer bump using a tabular catalyst. Moreover, you may also include carrying out a deposit to the thickness of a request of a metal, and using a dirty mask after that on [all] a front face, as the 2nd alternative of a covering process, at a bump. The next process of this 2nd alternative process sleeps together a field metal (metal formed on the front face) according to the dirty field which a dirty mask specifies. Other alternatives are mixing a catalyst beforehand in advance of spreading and patterning to the polyimide in which a photograph image's is possible, and carrying out the plate of the metal layer in non-electrical and electric equipment after that.

The configuration of further others of this invention is offering the approach of forming the flexibility bump for the flip chip assembly for adhesion on a chip, even if it is any on the connection pad of direct or a substrate. This invention uses the standard facility for forming a polymer bump on the pad a standard bump formation process and for the wire bond of an integrated circuit.

A pad and a bump are covered with a metal layer after that. The bump covered with the metal is flexibly compressed to 30% of the whole bump's height as an example. This will change dramatically the mechanical property required of the adhesives of flip chip bonding. It follows, and the process of this invention is reliable, and it is the flip chip assembly for adhesion whose cost is effective, and it produces the thing using the adhesives of marketing in which use for the second time is possible.

Since many chips are prepared for each processed piece, generally it is most effective against cost to form a bump on an integrated-circuit wafer. forming a bump on a substrate forms a bump in the location of per [which was processed] each piece and a fewer chip -- it is alike rattlingly, and it comes back and this leads to higher processing cost. It is attractive to form a bump on a substrate, supposing the flip chip assembly which it is as a result includes the chip from the feeder who does not supply the perfect wafer the feeder from whom many differ, or for bumps. This invention adjusts these different processes.

An advantageous point is offering the mechanism which compensates curvature [in / in the flexibility polymer which constitutes some flexibility bumps / a substrate or a die] or non-surface smoothness, and the non-homogeneity of pad height technically [everything but this invention]. The homogeneity of bump height more desirable than what is made possible with the usual technique which carries out electroplating of the solid-state metal bump could attain by using this invention. For example, a polymer bump's non-homogeneity measured from the sample formed according to this invention was about 3% of the average of bump height. On the other hand, a solid-state metal bump's non-homogeneity formed according to the best usual approach was averaged, and was about 10% of bump height.

A polymer corresponds to a wide range variation rate again rather than a metal corresponds. This element makes it more possible than the case where it compares with a solid-state metal bump to make the bonding force smaller. This is because the superfluous bonding force in which it is used for carrying out plastic deformation of the metal bump is not needed in order to amend a bump's non-homogeneity. It enables use of a wide range bonding parameter, this invention following and ensuring electrical installation nature between flip chip equipment and a substrate.

Furthermore, in addition, an advantageous point is technically [this invention] to make possible the process parameter which optimized for making small stress in the condition of having connected. In the usual flip chip system for adhesion, against loss of the electrical installation which breaks out for the relaxation by WERINGU and the creep which moisture causes, and thermal expansion, in order to secure this, it is increased to the degree of pole by the stress in the condition of having connected. According to the flexibility bump of this invention, a bump is going to return even to the original height elastically. A bump will maintain the contact force proportional to effectual compressibility until she follows and returns to the original height. In addition, this invention makes it possible to make effectual compressibility appropriately the presentation of a polymer and the parameter of a cure, and by adjusting the thickness of metaled plaiting further.

The advantageous point will become clearer from the purpose of above-mentioned [of this invention], and others, a configuration, and the desirable example following detailed explanation and this detailed technically.

Easy explanation of a drawing Explanation of the following desirable examples is best understood, when it reads with the attached drawing.

Drawing 1 is a flexibility bump's perspective view formed according to this example.

Drawing 2 is a flexibility bump's sectional view formed according to the approach of this example.

Drawing 3 shows the flexibility bump who was assembled on the glass substrate using the assembly force of 20lbs(es). and who was formed according to this example.

Drawing 4 shows the flexibility bump assembled on the glass substrate using the assembly force of 60lbs(es).

Drawing 5 a to drawing 5 i shows formation of the flexibility bump to the substrate top of this example on the integrated circuit device manufactured beforehand.

Drawing 6 a to drawing 6 h shows one process flow which forms a flexibility bump according to this example.

Drawing 7 1 shows the two-layer mask process which are other examples of this invention from drawing 7 a.

Drawing 8 shows the hybrid assembly which used this invention.

Drawing 9 a to drawing 9 d shows other process flows for raising the mechanical property of the flexibility bump of this invention.

Drawing 10 shows the flexibility bump of a large number formed according to this example on the test chip wafer of silicon.

Drawing 11 shows the flexibility bump of this example after passing through 3000 times of the mechanical cycles by the load from 20kpsi(s) to 70kpsi(s).

Drawing 12 shows the resistance test result of the testing device of drawing 10 in comparison with the resistance test result of a testing device which has the solid-state metal bump usually formed in the passage.

Detailed description Although the reference to a drawing is made, the element drawn on the drawing was not shown in order to show a scale, a same or similar element is shown by the same reference mark in some drawings, and the flexibility bump 10 is especially expressed according to the desirable example of this invention especially in drawing 1.

Drawing 1 shows a flexibility bump's perspective view formed according to this example formed on the IC chip 12. The flexibility bump 10 includes the upper front face 10 linked to a lateral portion 16. To the level IC chip 12, the lateral portion 16 is substantially perpendicular and is connected to the base 18. The flexibility bump 10 will be formed on the connection pad 20 of the IC chip 12, in order to give the connection to lead 22.

Drawing 2 thru/or drawing 4 show the flexibility bump's 10 sectional view, in order to show the component more clearly. First, when drawing 2 is referred to, the wire bond pad 20 is on the IC chip

12. The polymer bump 24 is attached in the wire bond pad 20. The metal layer 26 which consists of gold will cover the polymer bump 24, and is a wrap about the part of a connection pad at least. It is shown how the flexibility bump 10 is attached in the flip IC chip 12, and pastes [how] up drawing 3 on the BOROSHIRIKE toga lath substrate 28. A bump 10 sets to drawing 3 and is 20lbs(es). It is assembled by the BOROSHIRIKE toga lath substrate 28 using the assembly force. The flexibility bump 10 is compressed into about 85% of the original height in the condition which shows in drawing 3 as compared with the condition which drawing 2 shows of not being compressed. Drawing 4 is 60lbs(es). The flexibility bump 10 assembled by the BOROSHIRIKE toga lath substrate 28 is shown using the assembly force. The 60pound assembly force brings about about 30% of the flexibility bump's 10 compression.

the flexibility bump 10 -- a substrate top -- or it is formed on an integrated circuit chip -- I will come out. The metalization layer 26 which consists of gold works as covering of the polymer bump 24 and the connection pad 20. For this example, the flexibility bump 10 has height 14 of about 17 micrometers. This height was determined by the result of finite element analysis and a trial as optimal thing. The flexibility bump's 10 diameters are 18 micrometers thru/or 93 micrometers preferably. The polymer bump's 24 comp rye ANSI (flexibility or flattery nature) gives the mechanism by what the bump will adjust the curvature in a substrate 28 or non-surface smoothness, and the non-homogeneity of the height of the wire bond pad 20 for. The homogeneity of better bump height is attained by the polymer bump's 24 process compared with what is attained using the usual electroplating technique. Change of a golden bump's height is 10% on an average to change of the polymer bump's 24 height being measured with 3%. The polymer bump 24 corresponds to a variation rate wide range than the solid-state metal bump of a comparable size flexibly at this. These elements make the lower bonding force with the flexibility bump 10 more possible than the bonding force whose solid-state metal bump is made possible. In order to amend a bump's non-homogeneity, in the case of a metal bump, plastic deformation is needed, but this is because there is no need of receiving the flexibility bump by whom plastic deformation was done. Therefore, a wide range bonding parameter can be used, securing electrical installation nature. The combination of the polymer bump 24 and the metal layer 26 brings about the serious change for the mechanism of adhesion of flip chip bonding, in order to offer what is the flip chip assembly which is reliable and is effective against cost, and enables use for the second time using commercial adhesives.

This example makes it possible to optimize a process parameter, in order to make small stress in the condition of having connected. In the usual flip chip system for adhesion, in order to secure this against loss of the electrical installation which breaks out for the relaxation by WERINGU and the creep which moisture causes, and thermal expansion, it is increased to the degree of pole by the stress in the condition of having connected. However, the flexibility bump 10 is going to tend to return even to the original height elastically following the compression back. The flexibility bump 10 maintains the contact force proportional to effect--as a matter of fact compressibility even if the adhesives for connection absorb moisture and expand until [though the flexibility bump 10 has a coefficient of thermal expansion (CTE) lower than the adhesives for connection, and] the flexibility bump 10 returns to the original height. In addition, the flexibility bump's 10 effectual compressibility will be appropriately made by adjusting the thickness of the metal layer 26 with the presentation of the polymer bump's 24 polymer. The method of further others of changing the polymer bump's 24 compressibility is adjusting the rate and time amount of a cure.

The properties which the polymer bump 24 is expected are the elastic response of the linearity to a high glass transition temperature (Tg), high yield stress, and a wide range stress-strain diagram, and high compressive strength.

High Tg is the the best for the assembly performed at the temperature which rose. The creep of an ingredient happens at the temperature near Tg. If Tg is too close to the edge by the side of the elevated temperature of the field of assembly temperature, the creep of an ingredient will cause loss of an electric function. Although the flexibility bump's 10 elastic modulus changes with temperature for a while, it hardly depends for it on temperature.

Therefore, a demand is not carried out although a high elastic modulus is desirable. A not much high elastic modulus is not desirable. It is because the modulus of elasticity with this high will break a very weak ingredient as a result under the wide range bonding force. Many known polymers fill

these demands.

In this example, some approaches for forming the polymer bump 24 are possible. They include a dry cleaning dirty process, a sentiment dirty process, and a photograph imaging process. Although a polymer ingredient is used for each process as the polymer bump's 24 nucleus, it forms the polymer bump 24 by the sequence of different processing. A polymer ingredient is used for the IC chip 12 in each process. A polymer ingredient has an image formed, or a mask is carried out, it is removed from a field field after that, and is formed on the conductor layer from which a bump constitutes the connection pad 20.

In order to form the polymer bump 24, the process in which a photograph image is possible (photo-imageable) is used for the desirable example of this invention. In this approach, the IC chip 12 is covered by the polymer 24 formed using the polymer in which a photograph image is possible. A polymer 24 is formed by exposing a polymer ingredient directly and developing it.

The advantage of this approach is ***** which can correct by changing the parameter of exposure of a bump's magnitude and configuration, and a big aspect ratio is obtained, and can do processing with a facility of the usual photolithography quickly and simply. The homogeneity of bump height is very good in this approach.

In one example of this invention, it is possible to form on the semi-conductor wafer which had the flexibility bump 10 manufactured. Drawing 5 a- drawing 5 i follows and shows the process which forms the flexibility bump 10 on the semiconductor device which exists beforehand. The process flow which drawing 5 a- drawing 5 i shows is the already manufactured integrated-circuit flip chip assembly, and although it attained the purpose of reduction of important cost, and an improvement of dependability, it offers the approach of having been improved which forms the flexibility bump 10 upwards.

Reference of drawing 5 a expresses the silicon substrate 12 to which the aluminum pad 30 and conductor 32 which have covered except the field as for which the passivation layer 34 tends to carry out wirebonding appear on it. the integrated-circuit manufacture process that this layer 34 was established -- setting -- standard -- this example of this invention -- also setting -- aluminum connection -- a conductor 32 is protected from the chemicals behind used in a process.

On the passivation layer 34 and the aluminum pad 30, using the process of Muller described below, as the un-electric nickel layer 36 shows drawing 5 b, it is formed. The direct contact between the flexibility bump's 10 metals and the aluminum pads 30 which consist of gold in those without un-electric nickel layer 36 causes generation of an intermetallic compound [**** / as a result / un-]. The un-electric nickel layer 36 protects the aluminum pad 30 from the chemicals behind used in a process again.

Although plating of un-electric nickel is performed after this, activation of a zincate is the approach of carrying nickel on aluminum, in order to protect the aluminum pad 30. Gold reacts with aluminum so that a brittle intermetallic compound which considers an aluminum pad as unreliable electrical installation pass may be made. In order to solve this problem, this example applies the nickel layer 36 on the aluminum pad 30 using the plating called gin cay TINGU (zincating). J. Simon Other "un-electric bumping for tab (TAB) and flip chip" Proc.1993 Int'l Symp.on Microelectronics and 439-44 (Nov1993) (henceforth, Simon) have specified the solution of the diluted zincate which will be useful for this example. A. The "pretreatment of the aluminum connection pad of an un-electric nickel bumping sake" IEEE of Osterman and 74-78 (1993) (henceforth, Osterman) have made reference about general use of the solution of the zincate of marketing for this purpose further. Simon And Osterman is inserted here especially as reference reference for all the purposes to which it corresponds for carrying out this invention.

H.G. Muller U.S. patent application [MCC Docket No.D-5570] of the title called "un-electric approach of gin cay TINGU on the front face of aluminum" boiled and depended it is -- microelectronics -- and a computer technology corporation What was transferred to (MCC) (this application is hereafter referred to as Muller) has described the approach using the solution of a zincate with which a good result is obtained for this process essentially based in the ratio of the concentration of a hydroxide to the concentration of the zinc in a solution, and an iron group.

The process of Muller includes the gin cay TINGU process for removing an oxide layer from aluminum, and a desirable double gin cay TINGU process, although an un-electric nickel deposition

process is performed following this. The important configuration of Muller is summing up rather than other processes and using NaOH of about 12 g/l to low 30 g/l especially, using the solution of the zincate of special concentration. Muller is inserted here especially as reference reference for all the purposes to which it corresponds for carrying out this invention.

Drawing 5 c shows the result of the following process of having used the polyimide (photosensitive polyimide) layer 38 in which a photograph image is possible. The polyimide layer 38 is a wrap about the un-electric nickel layer 36 and the passivation layer 34. As shown in drawing 5 d after that, in order to form the polymer bump 24, patterning of the polyimide layer 38 in which a photograph image is possible is carried out, and it sleeps together.

On the other hand, since an optical facility is ultraviolet-rays exposure of the desired polymer bump's 24 field, it is used for the cure of subsequent exposure, development, and the polymer bump 24. A little small thing of the polymer bump 24 is more desirable than opening of the connection pad in the PASOBESHON layer of an integrated circuit chip. This makes it possible to contact the front face of an un-electric nickel layer where the metal on the front face 14 of the upper surrounds the polymer bump 24.

Drawing 5 e shows the following process which carries out the spatter of the metal layer 40 on the polymer bump 24, the nickel layer 36, and the passivation layer 34. A layer 40 contains the titanium layer on it further with the 1st titanium layer and the gold layer on it. - In an example, a layer 40 contains the titanium layer of 700A (angstrom), the gold layer of 200A up [the], and the titanium layer that is 700A on it further.

Drawing 5 f shows the process known widely. On a layer 40, the photoresist layer 42 by which patterning was carried out is used. Opening of a photoresist layer 42 must be the magnitude same at least as opening of the original chip passivation for the connection pad on an integrated circuit chip. The upper titanium layer is removed in order to expose the gold which is not polluted and by which the spatter was carried out. As shown in drawing 5 g after that, electric plating of the gold layer 44 is carried out on the part of the layer 40 which is not covered with a photoresist layer 42. this example -- setting -- a gold layer 44 -- electric plating is carried out to the thickness of about 2 micrometers. A photoresist layer 42 is removed in order to expose a layer 40, as shown in drawing 5 h after that.

the subtractive (subtractive) approach using a spatter or vacuum evaporation -- moreover, the metalization layer 26 is formed on the polymer bump 24. A subtractive process becomes desired thickness from carrying out the deposit of the metal on all the front faces of a substrate, and the polymer bump front face of the IC chip 12 by vacuum evaporation or sputtering. The following process is using a dirty mask on what should serve as the flexibility bump 10, sleeping together and removing a field metal. Subtractive techniques are few processes and the facility which can be used in the manufacturing facility of a typical integrated circuit can perform them. However, since most metals with which the thickness of the metal demanded lengthened the vacuum evaporation cycle, and was consumed in the vacuum deposition process will be removed, this is the approach costs increase.

Drawing 5 i shows the removal of a layer 40 for exposing only the flexibility bump 10 finally completed as the passivation layer 34 and a result. In the process of this last, titanium is removed from an opening field and the gold which is not covered after that with the gold by which electroplating was carried out and by which the spatter was carried out is also removed. Then, the titanium of the lowest layer sleeps together and is removed. Although the small fragment of the gold by which electroplating was carried out is removed similarly, a part for the principal part is left behind. In order to carry out dirty removal of the layer 40, one etchant which the etchant from which it differs for sleeping titanium and gold together alternatively and sleeping titanium together after that is used, or acts only on minimum to the gold of a layer 40 is used.

Drawing 6 a thru/or drawing 6 h express the process flow of the good example which shows how the process in which the photograph image of this example is possible of having abolished the need for bumping to the whole chip in relation to the conductor of a substrate is performed. Reference of drawing 6 a uses the interconnect layer 52 to which plating of the 1st was carried out on a substrate 12. The following process is using a photoresist layer 56, in order to specify the pattern of a conductor. The copper trace layer 54 is used for a degree as shown in drawing 6 a. The copper trace

layer 54 forms the trace for a substrate 50, and a connection pad. After using the copper trace layer 54, it is used as the polymer layer 38 in which a photograph image is possible shows drawing 6 b. An optical pattern is used so that the polymer layer 38 except the polymer bump 24 in which all photograph images are possible may be removed after this. The polymer bump 24 is attached in the copper trace layer 54 as shown in drawing 6 c. The optical pattern for the polymer layer 38 in which a photograph image is possible controls a diameter peculiar to the polymer bump 24. The minimum typical diameter is about 25 micrometers. This makes min a bump's non-plaiting in everyday processing, or possibility of damage.

However, the smaller diameter could be attained by using the polyimide process in which a photograph image is possible. If required, a bump's with a diameter of 10 micrometers pattern will be able to form.

The polymer in which almost all the photograph image is possible is reduced no less than 50% into a cure again. Consequently, few disk forms or depressions are generated on the upper front face 14 (refer to drawing 1).

However, in a bonding process, the upper front face 14 agrees in the configuration on the front face of junction (mating).

Although using the epoxy in which a photograph image is possible is shown in order that drawing 6 a thru/or drawing 6 c may form the polymer bump 24, for this purpose, there is a plasma dirty process as other possible processes. In plasma dirty processing, the cure of the polymer ingredient is covered and carried out on a substrate 12. A dirty mask determines a dirty pattern. A dirty ingredient is the mask ***** metal hard surface mask blank which was built with the photoresist of the place as for which pattern attachment is carried out by either photograph RISOGURAFU or wet etching and which can be corroded. After a dirty mask is imagined, this ingredient sleeps together and a bump is formed.

The dry cleaning dirty process which forms the polymer bump 24 has an advantage and a fault. One dry dirty advantage is that the configuration of the polymer bump 24 who forms a lateral portion 16 may be changed by adjusting a process parameter. One problem in this approach is one with difficult when attaining this process an aspect ratio being large in another side. In case this etches the thick film of an ingredient, it originates in the undercut of a high degree arising in a hard surface mask blank dry cleaning dirty process. Dirty REITO for a polymer dry cleaning dirty process is per minute 0.5 to 2.0 micrometers. Therefore, for a thick film, it hangs down merit and is that of a potato, and this dirty process is expensive and is low. [of a throughput]

Sentiment dirty processing of this polymer offers the 2nd alternative replaced with the processing in which the photograph image of drawing 6 a thru/or drawing 6 c is [that it is the same as that of dry cleaning dirty processing, and] possible. In sentiment dirty processing, a dirty pattern is given instead of wet chemical dirty ** and the dry plasma. This ingredient is covered on a substrate 50 and a cure is partially carried out. Subsequently to this polymer top a photoresist is covered, is exposed, and is developed. This photoresist has formed the dirty mask. Subsequently this polymer sleeps together and is formed in a bump.

As compared with dry cleaning dirty processing, generally the advantage to this approach is worried about high etching processing of cost, and is that there are few steps which hit completing this process. However, use of this approach may be restricted depending on the configuration of a chip. Furthermore, the very large aspect ratio at the time of using this approach makes manufacture difficult. Other limits in sentiment dirty processing are that the configuration of a lateral portion 16 cannot change easily with a sentiment dirty ingredient. This approach is another side and makes homogeneity of a bump's height very good.

Drawing 6 d shows the result of the following step in which the nickel layer 58 of the electric plaiting to a copper layer 54 top was formed. Since the polymer bump 24 is non-conductive, it should be noticed about the polymer bump 24 concerned that nickel plaiting is not carried out. In this example, electric plaiting of the nickel layer 58 is carried out to the thickness between 2 micrometers and 8 micrometers on all the exposed copper front faces. It is suitable because of a non-flip chip component to carry out [wirebonding or] soldering.

For this example, the option on some processings is used in order to form the metalization layer 26 on the polymer bump 24. The polymer bump's 24 metalization is attained by the direct wet

metalization process of using the subtractive metalization which uses the usual PCB technique and a spatter, or vacuum evaporation, or the additional process using the spatter or EBAPORETETTO plating bus using a plating mask.

Drawing 6 e shows the result of having performed the desirable process which forms the non-electrical-and-electric-equipment formative layer 60 of the gold of the non-electrical and electric equipment on the nickel layer 54 and the polymer bump 24. In this example, a specific photoresist is chosen for resist activity. As a result, plating only of the gold of the non-electrical and electric equipment is carried out on the nickel 54 by which electric plating was carried out, and the polymer bump 24. Other possible techniques of obtaining the step of drawing 6 e are mixing catalyst powder with a polymer, before it is covered and a bump is formed. This powder puts non-electrical-and-electric-equipment plating into operation as one of the means for metalization.

It is used in order that an additional electric plating process may metalize the polymer bump 24 again. BE to which the deposit of the thin (it is gold typically because of comp rye ANSI) plating bus is carried out, and the spatter of the approach of this electric plating is typically carried out, and plating of the plating mask is carried out -- to be used in order to limit a ***** field is demanded. After electric plating is performed to a field [****], a plating mask and a plating bus are removed. This additional process using electric plating can be performed using the equipment ordinarily used for a PCB technique. A spatter cycle is short, and very few ingredients sleep together, and since this approach will follow and will be lost in the last dirty process, it is more effective for the field of cost than pattern etching. [of vacuum evaporationo ****] In this desirable example therefore, an electric plating process is used following the non-electrical-and-electric-equipment deposition of the metal layer 40.

Drawing 6 f expresses the result of the next step of the electric plating metal 62. Using the usual available bath, according to an applicable field, gold is about 8A per square foot in current density, and electric plating is carried out so that a layer 62 may be formed in the desirable thickness for wire bonding. The combination of a metal 62 and a layer 60 forms drawing 2 thru/or the metalization layer 26 of drawing 4 . The plating rate on the polymer bump 24 should observe what will be become 4 times thru/or what is 6 times later from the flat part of a layer 60, or plating REITO on bond putt. This is because it has the conductivity from which a thick copper-nickel-golden pad and trace differed compared with the thin gold on the polymer bump 24. As a result, probably, the metalization layer 26 is from about 0.5 to 0.8 micrometers on the polymer bump 24, when the thickness is about 3.0 micrometers in somewhere. Therefore, although it is possible to optimize golden thickness for the assembly by the technique put together, on the other hand, the film on the polymer bump 24 needed for coincidence for flexibility is held. In the example concerned, although the metalization layer 26 is chosen so that it may become sufficient thickness in order to give conductivity to the upper front face 14 (drawing 1) from the substrate bond putt 20, on the other hand, it considers as a thing thin enough against which the polymer bump's 24 flexibility and flexibility are set off by coincidence, for example.

Like ****, when other steps form the metalization layer 26 rather than drawing 6 d thru/or drawing 6 f, it may be adopted. For example, one alternative is a wet metalization process. The standard technique in a PCB technique is used in direct wet metalization. This process consists of supplying a plating catalyst to the polymer bump 24, and carrying out un-electric plating of the ingredient which has the ductility like gold on the polymer bump 24 and the nickel layer 54. A wet metalization process allows the high throughput of parts, and does not need a vacuum manufacture step.

Drawing 6 g and drawing 6 h are made into the last thing of the structure of this example. Here, drawing 6 g shows the step which removed the photoresist layer 56. Consequently, it becomes a polymer bump with the wrap metalization layer 26 with both the polymer bump 24 and the bond pad 20. In the following step which drawing 6 h shows, in order that the plating interconnect layer 52 may use the copper trace layer 56 as an underlay, etchback is carried out by the approach of the practice in processing of an additional process substrate. That to which the undercut of a certain extent for obtaining exposure of a substrate 12 and an indene TETTO (indented) field was carried out by this result is obtained.

Drawing 7 a thru/or drawing 7 i form nickel covering on the side attachment wall of a signal line 72 and the bond putt 74. Using a duplex resist process is shown. With reference to drawing 7 a, the

deposit of the plaiting interconnect 64 is first carried out on a substrate 12. the plaiting interconnect 64 top -- B stage cure DOPORIAMIKKU -- acid (B-stage cured polyamic acid) or the polyimide layer 66 is made, and, subsequently a photoresist layer 68 is built.

Subsequently, as drawing 7 b shows, a photoresist layer 68 exposes the plaiting interconnect 64 to the pattern for which it asks, and pattern attachment is carried out so that the opening 70 which passes along a photoresist layer 68, B stage, and the cure DOPORI imide layer 66 caudad may be generated. Although B stage polyimide layer 66 made into a sacrifice is not photosensitivity, it can melt into a resist developer. Therefore, it is removed in this step. However, generally it should be careful that post baking (post baking) arises after photograph patterning.

The pattern of opening 70 has agreed with the desired bond pad and the signal line for electronic-circuitry equipment. "Postbake" of the substrate is carried out after FOTOIMEJINGU and development. This makes perfect the cure of a photoresist and the poly AMIKKU acid (or polyimide) layer 66. After this postbake, this thin poly AMIKKU acid (or polyimide) layer 66 cannot melt in the stopper of a photoresist 68 any longer. Drawing 7 c means that it follows and the copper signal line 72 and the bond pad 74 may be formed in opening 70. Subsequently, a photoresist layer 68 is removed, as drawing 7 d shows.

Subsequently, the polymer bump 24 is formed, so that it may be described, and as drawing 7 e and drawing 7 f show. This polymer layer of this example is the desirable polyimide in which a photograph image is possible, or wet dirty possible polyimide. With reference to drawing 7 g, electric plaiting of the nickel is carried out on the copper signal line 72 and the part of the bond putt 74 which is not covered by the polymer bump 24 in order that the part of the bond putt 74 may form a barrier layer 76. A barrier layer 76 is desirable because of the applicable field which needs surface mounting which performs near soldering or near wirebonding to parts. Since polyimide is not conductivity, it should be careful of the barrier layer 76 that plaiting is not carried out on the polymer bump 24.

The following step is a step to which a barrier layer 76 and the polymer bump 24 are changed according to a catalyst as drawing 7 h is illustrating. Subsequently, B stage polyimide layer 66 is removed from all the parts of equipment (drawing 71). This removes all catalysts for a barrier layer 76 and the polymer bump 24 except for a wrap part.

Subsequently non-electrical-and-electric-equipment plaiting of the gold is carried out on a barrier layer 76 and the polymer bump 24 using the catalyst which forms the non-electrical-and-electric-equipment plaiting layer 80.

Drawing 7 j expresses the result of this step. Similarly [accumulating in the applicable field containing two flip chip equipments], for an applicable field including two flip chip equipments and surface mounting techniques, plaiting of the gold is carried out to the thickness of 2 microns that a flexibility bump's formation should be made perfect, and the plaiting interconnect 64 is removed (refer to drawing 71).

Things should attract attention from the desirable thing. As plaiting only of about 100A of the non-electrical-and-electric-equipment golden plaiting is carried out on the other hand for the assembly using the equipment by which wire bond was carried out to the flip chip and it is shown subsequently to drawing 7 k, it is desirable to carry out electric plaiting of the gold. In the equipment using a flip chip and wirebonding, gold originates in higher resistance of the 100A gold on the polymer bump 24, and plaiting will be early carried out more on a signal line 72 and the bond pad 74 rather than the polymer bump 24 top. After carrying out plaiting of the gold 82 in electrolysis on the gold layer 80 by which non-electrical-and-electric-equipment plaiting was carried out, the plaiting interconnect 64 is removed.

Drawing 8 shows the assembly 100 which is formed according to this invention and contains a flip chip. A flip chip 102 is connected to the flexibility bump 10 through the connection trace 104. A binder 106 is non-conductive, and where the flexibility bump 10 is compressed, it holds a flip chip 102. A binder 106 is given to the substrate bonding location where the little thing extruded between bonding cycles could build smooth flow at the end of the die (die) in a desirable form. a binder 106 does not cover the flexibility bump 10 and the connection trace 104 completely -- as -- pattern attachment ** -- or it may be given alternatively. A binder 106 is the thing of thermoplastic, thermoset plastics, or other adhesion forms. For example, a binder 106 is the thermoplastic paste of

the place which is a mixture with the volatile fluid containing a thermoplastic particle, and the alumina, aluminum nitride RAIDO, the diamond or other particles for improving thermal conductivity. Connection with the flexibility bump's 10 metalization layer 26 is made with the bond wire 108. The bond wire 108 is connected to the chip 110 by which wire bond was carried out. The chip 110 by which wire bond was carried out follows, passes along the flexibility bump 10, and is connected to a flip chip 102.

Although it is not necessarily required to carry out in this invention, in this example, the flexibility bump's 10 thermal-expansion (CTE) multiplier will be built equally to the coefficient of thermal expansion of a thermoplastic binder by controlling carefully the thickness of the metalization layer 26 and the polymer bump 24. Its polymer bump 24 is fully flexible, and since the thermal expansion (CTE) of the polymer bump 24 and the metalization layer 26 overcomes the inequality of the dilation ratio of the metalization layer 26, it does not necessarily need to be an equal.

In forming an assembly 100, a substrate 12 and a flip chip 102 are placed on a suitable flip chip bonder with the flip chip 102 on bonding sir mode (bonding thermode) and a substrate 12. This Sir mode and substrate 12 contain the flexibility bump 10 and binder 106 on the platen of a bonder. The bond pad 105 aligns with the flexibility bump 10, and it is adjusted so that, as for the inclination of a platen, a flip chip 102 and a substrate 12 may guarantee becoming in parallel. A flip chip 102 is pressed so that many flexibility bumps on a substrate 12 may subsequently be contacted. A flip chip 102 is pressed by sufficient force in which the flexibility bump 10 subsequently deforms to predetermined extent. In order to change a binder 106 into a half-liquid condition, it may be necessary to apply heat, so that that variation rate may be made easy between this process. The cure of the binder 106 is carried out by supplying heat or ultraviolet-rays energy additionally. Instead, when a binder 106 is thermoplastic, removing heat will harden a binder 106.

The force which forms an assembly 100 is applied under a compression load to the flexibility bump 10. Furthermore, contraction of a binder 106 arises between a cure or continuing cooling. It is guaranteed that the electrode of a flip chip 102 remains in the condition of having contacted the flexibility bump 10, by this compression load and contraction. This pressure impressed is the function of the area on the front face of the upper of all the flip chip bumps 10 about all the bumps on a chip. When the force impressed in one manufacture is equal to what multiplied a total bump surface area of the flip chip 102 per square inch by 20,000psi(s), since the volatile component of the thermoplastic paste related at the time of the cure of the binder 106 with which the good result was obtained is evaporated, heat may be applied. In case heat is applied to a binder 106, it is required for level low enough which is not boiled to maintain heat. This is because a void is built by ebullition all over the bond line of a binder and an assembly 100 is made into the thing of failure by it. For example, in this example, the temperature of an assembly 100 rises in sufficient high level of about 250 degrees C to melt thermoplastic, i.e., temperature. An assembly 100 follows, and before a bond pressure is removed, it is cooled by 90 thru/or 100 degrees C. Removing a bond pressure makes the setting-up process of an assembly 100 perfect.

In formation of the assembly 100 of drawing 8, the modulus of elasticity of a binder 106 should be above it of the flexibility bump 10 across the temperature requirement limited enough proper. It decreases in temperature with the modulus of thermoplastic higher than the glass transition temperature Tg generally related, and since the polymer bump 24 has Tg value in the range of 125 degrees C from 70 degrees also preferably, the thermostat plastics which an assembly uses have Tg which is not lower than that of the maximum supply temperature of the final-assembly object of a product preferably. For example, the semicrystalline thermoplastic used as a binder 106 should have 75-degree C Tg from at least 65 degrees. Similarly, the amorphous thermoplastic used as a binder should have 150-degree C Tg. Furthermore, especially the semicrystalline thermostat plastics used as a binder 106 contain PBT, nylon 6, nylon 6 / 6, nylon 6 / 12, Nylon 12, and a polyether ketone. These binders have Tg value of 65 degrees to 140 degrees C with Tm of the range of 310 degrees C from 185 degrees depending on the crystallinity of a binder. The amorphous thermostat plastics which work well as a binder 106 contain polystyrene, poly ETHERIMIDO, a polyether ape phon and polyimide, and a siloxane, and these have Tg value of the range of 150 degrees C from 125 degrees. Although it is built in order that many components and alternatives may form the configuration of drawing 5 a thru/or drawing 8, the following table 1 can be smelling the thickness of a

manufacturer, a parts number, a specific component, and the profile in one manufactured product of this example.

成 分	厚 さ	製作者／記事
1. フォトイメージ可能 ポリマ (38)	30 μ m	シブレイ X P 9 1 - 1 1 1
2. ニッケル層 (36, 75)	2 - 8 μ m	シブレイ
3. アクチベータ	—	シブレイ 4 0 4
4. 触媒 (78)	—	シブレイ 4 4
5. アクセラレータ	—	シブレイ 1 9
6. 非電気金 (60, 80) (又は、チタンある いはパラジウム)	0. 5 μ m	シブレイ —
7. 電気プレーティング 金 (44, 62, 82)	8 A 電流 密度	セルレックス又はレアロ オーラルポタジウム—金 シアナイド
8. 接着材 (106)	—	スタイスチック 3 0 1 — 非添加、又はスタイスチ ック 2 0 1 アルミナ添加

Table 1

Drawing 9 shows one process for improving the flexibility bump's 10 material property without having disadvantageous effect for flexibility. The process of drawing 9 is assumed to be the flexibility bump 10 formed according to either of the above-mentioned processes. With the flexibility bump 10, the process of drawing 9 uses the photoresist layer 112 with the thickness exceeding the height of whole flexibility BAMB 10. Pattern attachment of the photoresist layer 112 is carried out so that only the flexibility bump's 10 upper front face 14 may be exposed. The following step is carrying out plating of the 2nd metal layer 114 further on the upper front face 14. To choose the 2nd metal layer 114 like high abrasion resistance, i.e., a hard metal, for the test in the system to connect or Field of application which can be burned and to which many connection and insertion are carried out like is desired.

After carrying out plating of the 2nd metal layer 114, a process removes a photoresist layer 112 further. The last step is removing the plating interconnect layer 52 which existed from the flexibility bump's 10 manufacture process. The thing of the result is the flexibility bump who raised the material property on the upper front face. if it becomes, and flexibility bump 10 conventional process is used and it is a non-electrical-and-electric-equipment metalization process namely,, the thing whose plating interconnect layer 52 does not exist and which will be done for plating in [again] non-electrical and electric equipment should be careful of the 2nd metal layer 114. this -- however -- for example, -- very much -- hard -- a test -- be burned -- quality-of-the-material **** will be extracted to the quality of the material like high **** electrical-and-electric-equipment gold of the

place suitable for connection.

Although the various approaches of forming component parts and the flexibility bump 10 were described, it is effective to understand how this example is related with the integrated circuit chip. For this purpose, drawing 10 shows the flexibility bump 10 of a large number formed on the silicon test chip wafer 116. In the configuration of drawing 10, the flexibility bump 10 is formed on the silicon test wear of 150-micrometer pitch with 216 input/output terminals. Drawing 10 actually shows some 60 chip test wafers 116 which are assistance in decision about the electric physical property of the flexibility bump 10 of this example. The test chip 116 of drawing 10 was a 8.9mmx8.9mm chip with the flexibility bump of 216 input/output terminals connected to the dual NESUTETTO daisy chain pattern (dual nested daisy chain pattern) in one completion object. This configuration can check these connection continuously using two ohm-meters which read through 105 connection respectively. A contiguity bump's electric isolation is determined by measuring resistance between two daisy chains (daisy chain). Six chip pads are connected to 3-fold truck configuration which gives surface insulation resistance and an electric migration test in 216 input/output terminal connection. These six chip pads can use two trucks as a heating element (a total of 25W per chip), and can carry out bias, and can use the thermal test using a central truck as a thermistor again. The substrate used in this test was the BOROSHIRIKE toga lath of the display class of the place by which the spatter was carried out in chromium gold and pattern attachment was carried out by the well-known substrate design with which chip structure is compensated.

Drawing 11 shows the flexibility bump's 10 elasticity. In one test using the test wafer of drawing 10, the flexibility bump 10 was mechanically repeated using the flip chip bonder device. This test uses 20 thru/or the compression range between 70lbf(s) (equal [to about 20 kpsi(s) thru/or 70kpsi(s)] on [all] a bump field), and is 1000 cycle *****. It was shown clearly that about 50% of decrease of height was acquired from the result obtained based on this test in the bump who is standing in the free condition. However, the crack did not exist in the metalization layer 26 or the polymer bump 24. after 3000 times of mechanical repeats -- **** with cracks 118 and 120 -- the small crack appeared. Also in this crack point, the flexibility bump 10 was maintaining conductivity and flexibility. Other important viewpoints of this example are how a tested object acts between dry cycling tests, i.e., the test without a binder like the binder 106 of drawing 8.

Drawing 12 is as a result of one test which investigated this property. In the test of drawing 12, the chip with a solid-state golden bump and the chip with a flexibility bump were arranged by the comp RIMENTINGU substrate (namely, soda lime glass with the metal pad and trace which carried out the spatter of chromium and the gold), and were pushed without the binder using the force of various magnitude. The equipment used for this test was equivalent to the daisy chain structure of drawing 10. This test determines what kind of impression force (lbf) establishes electrical installation and the force which is determined and stabilizes contact resistance. This shows work of a bump and shows the situation which bars the non-surface smoothness (non-planarity) in a system.

As shown in drawing 12, connection establishes a flexibility bump by the abbreviation 1/4 of the impression force needed for connection with a solid-state golden bump. Both bumps have the same resistance. The specific metallurgical substrate for a test container with a bump 10 has high resistance. As a result, the difference in the level of a milli ohm and resistance were indefinite by the bulk resistor in a substrate.

In the high temperature test, the **** flexibility bump assembly shown in drawing 4 and the corresponding solid-state golden bump assembly were tested by arbitration. The resistance which passes along the same daisy chain structure as it of drawing 10 failed in all the solid-state golden bump assemblies by which the monitor was carried out between 65 degrees C and 80 degrees C, while the assembly was slowly heated by even 140 degrees C.

On the other hand, flexibility bump 10 assembly bore the temperature which rose to the temperature which arrived at the range of 120 degrees C thru/or 135 degrees C. This range is more fully than the glass-transition temperature of the binder 106 in this example a top. These flexibility bump assembly that ***** (ed) was assembled using the same force parameter (force parameter) to 135 degrees C. All the flexibility bump 10 assemblies returned to normal resistance level, after being cooled by the room temperature. After the circuit disconnected the tested golden solid-state metal bump and she was cooled by the room temperature on the contrary, she failed in functioning proper.

In the test of further others of flexibility Bengbu 10 assembly, the golden solid-state metal bump assembly and flexibility bump 10 assembly in drawing 10 were exposed to 121 degrees C with 2 hours and 100% relative humidity. From the experimental result in the meantime, 50% of the solid-state metal bump assembly went wrong, and, on the other hand, 12.5% of flexibility bump 10 assembly only went wrong.

Then, the flexibility bump 10 assembly was commercially packed by available silicone. There was nothing that went wrong, even if this flexibility bump 10 assembly in a silicone package passed at 121 degrees C in relative humidity 100% for 8 hours or more.

In addition, the test for the second time was performed [in / about the assembly using the flexibility bump 10 / the further test] to some assemblies. this test equipment was partially dipped in the solution, in order that flexibility bump 10 assembly which is not dipped in a solution might confirm the thing to a solution protected, since it put. a solution -- dipping -- in a room temperature, it is a success and it turned out that it is accelerated when the temperature of a solution rises to about 80 degrees C. While the chip 12 to a solution which dips, and is alike, then has a substrate 50 and a flexibility bump had not been damaged, it appeared in the reusable form. Some of these chips and substrate sites actually re-operated twice.

This example follows, and it offers the flexibility bump 10 on an integrated circuit chip or a substrate so that a bump or special metallurgy may not be needed on a die (die). This makes it possible to use this example on an available integrated circuit chip commercially. The flexibility bump 10 acts flexibly across the comparatively large range of deformation, and deforms under a substantial more low pressure the same with demanding the force to the assembly lower than a solid-state metal bump's case which decreased in number. Decreasing the force to an assembly decreases the damage to an integrated circuit chip which is likely to exist, and it decreases a demand to the charge of adhesion material further again. This decreases the property of the binder concerning creep relaxation (creep-relaxation).

It has guaranteed that electric contact continues an elastic motion of the flexibility bump 10 even if it further applies a binder to creep relaxation. This enables it to use a binder with a desirable reuse and early cure nature. This example enables it to use even the binder which did not have sufficient strength and creep resistance in the circuit which is using for example, the solid-state metal bump. For example, the flexibility bump 10 makes it what is easy to treat use of thermoplastic. Since the cure of this is not carried out even if thermoplastic gives heat or light energy, it abolishes the need of carrying out the cure of the binder 106 using heat or light energy. Furthermore, even if this example changes the structure of contact or changes a metal again, it has allowed using the thing of the optimal adhesion format which became independent to them.

Other important viewpoints of this example are the extreme decreases of cost in comparison with the usual solid-state metal bump formation technique. The usual solid-state metal bump formation technique usually carries out the spatter of the thin metal interconnect layer on the substrate [PASSHIBEITO / substrate]. The mask of this substrate or wafer is carried out using a photoresist, and plating is carried out into opening in which the metal was opened by the photoresist. Finally, a resist and metal interconnect are removed. As a price of the golden bump on a 4 inch wafer, this established process is a dollar in 1993, and becomes the thing of about 150.00 dols per wafer. The flexibility bump 10 of this example solves the problem in the usual solid-state metal bump technique in which the cost depending on a competition high on the contrary starts. As the result, the flexibility bump 10 is suitable for the applicable field of the large range. This bump is 50 dols or less per 4 inch wafer in the dollar in 1993, and can build using a standard TAB bumping process and equipment.

The flow of the process for forming the flexibility bump 10 makes it possible to use more the good manufacture process of balance which spread widely. As a result, a throughput is [as opposed to / no / a step] actually 15 or less wafers per hour in a typical manufacture reactor. This is made into that to which the volume in such works exceeds year 50,000 wafer before needing duplicate equipment. I hear that the key factor which makes the thing of this example attractive is fully smaller than what a solid-state metal bump formation process with the main standard equipment costs relevant to the number of all process steps uses, and there is.

The flexibility bump 10 formed of this example has solved the problem of migration to Z shaft orientations in relation to the ultraviolet rays or the heat cure binder of the place produced by the

inequality of thermal expansion (CTE), and humidity absorption. This example responds to the compression for holding electric contact flexibly. The flexibility bump 10 bends, and decrease in number the effect of a distorted substrate again, and makes effect by the ununiformity of the height of a pad small similarly.

When level high about the engine performance and dependability is desired, it is possible to use the mask loess chip preparatory process of a SHINGYURETETTO integrated-circuit die (die) or a full wafer, and the place that has compatibility completely. This process is it of Muller, and it gives nickel or a gold layer on an integrated-circuit-chip aluminum bond pad so that it may omit contacting between a golden bump metal and aluminum integrated-circuit-chip metals directly. This example does not need an additional process substantial about the process of a substrate, but the process which is used in manufacturing the typical substrate of a flip chip multi chip module design, and a compatible technique are used. This example follows and makes possible the rather than thing for which they will evaluate the profits on the magnitude and the engine performance in the flip chip assembly technique for adhesion early of several using the chip bump technique a multi chip module and the manufacturer of a display recognize [a technique] current existence. This means developing the usefulness of flip chip assembly technique even to a chip on high density glass, or other important applicable fields.

Finally, although this example was described by the detail, do without many modification, replacement, and alternatives leaving the pneuma and the range of this invention should be understood. Although the example mentioned above is described for the purpose of illustration, it is clear in this contractor. [of many replacement being possible.] This invention is restricted like the above by only the range of a claim mentioned later.

[Translation done.]

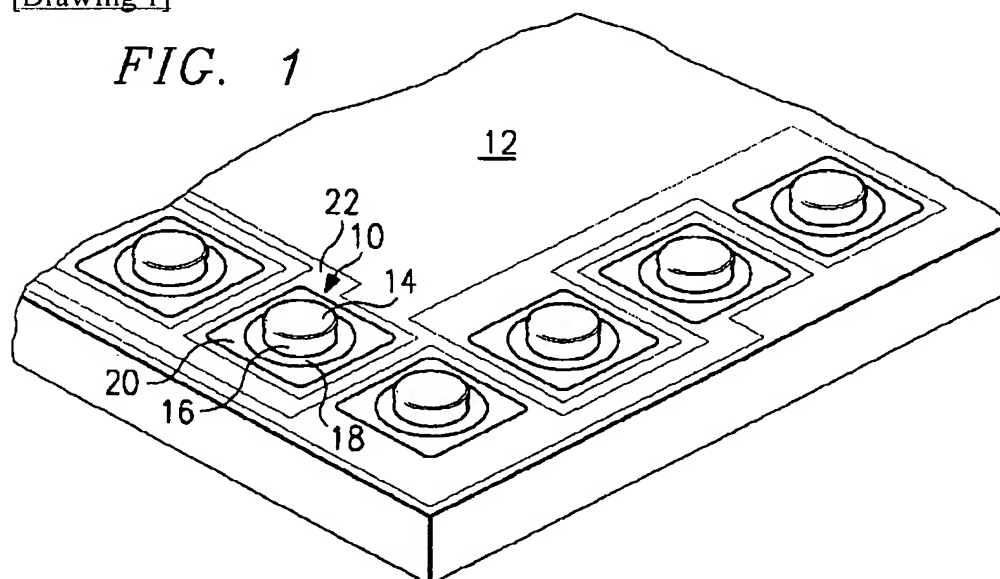
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

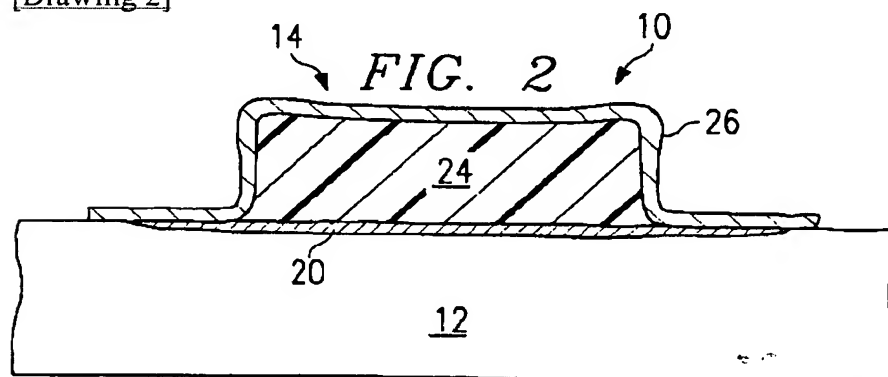
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

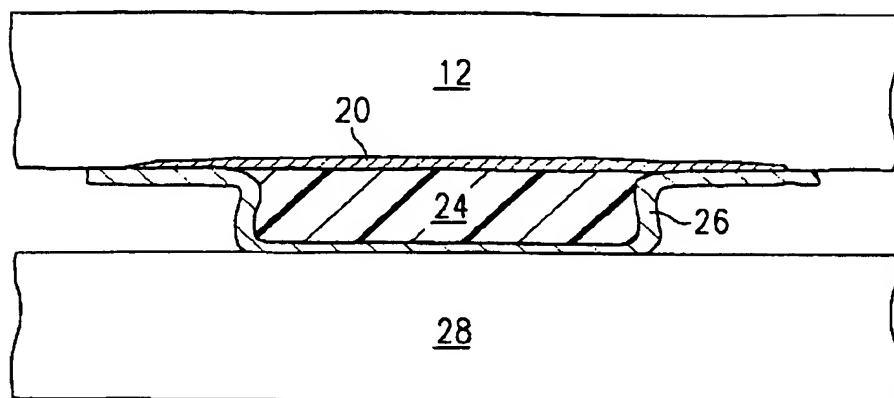
[Drawing 1]



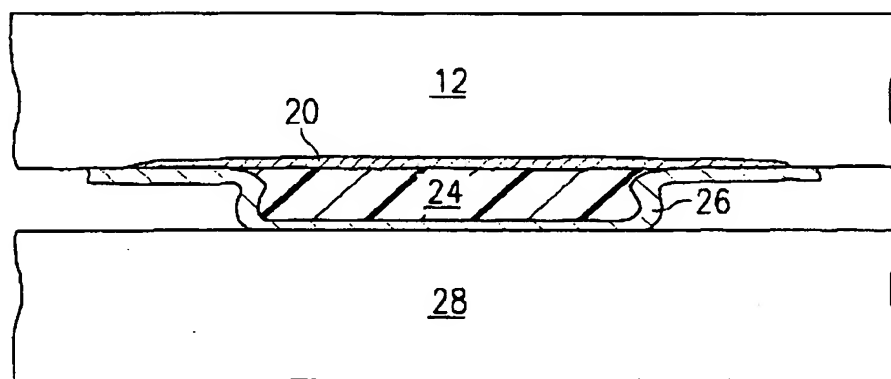
[Drawing 2]



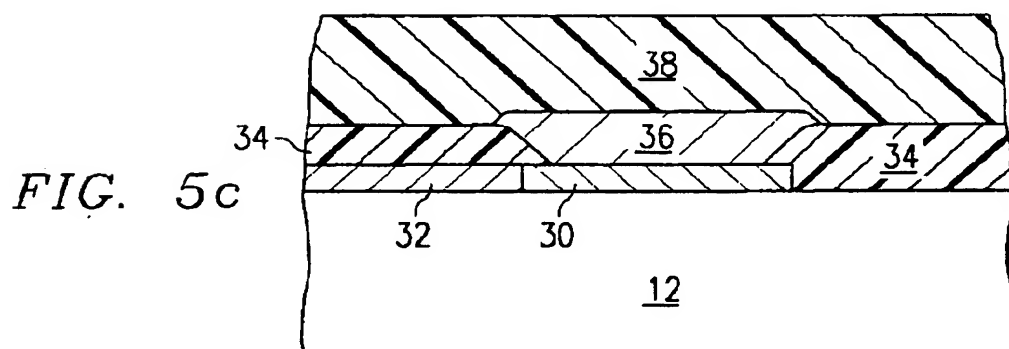
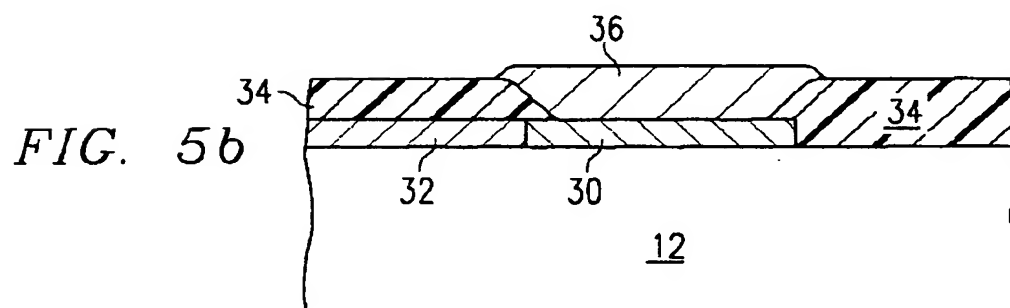
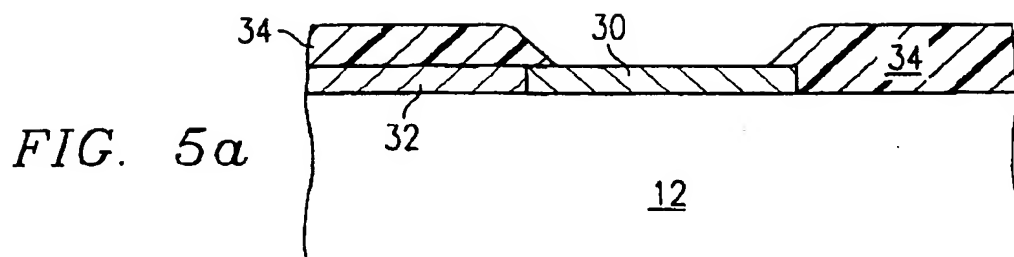
[Drawing 3]

FIG. 3

[Drawing 4]

FIG. 4

[Drawing 5]



[Drawing 5]

FIG. 5d

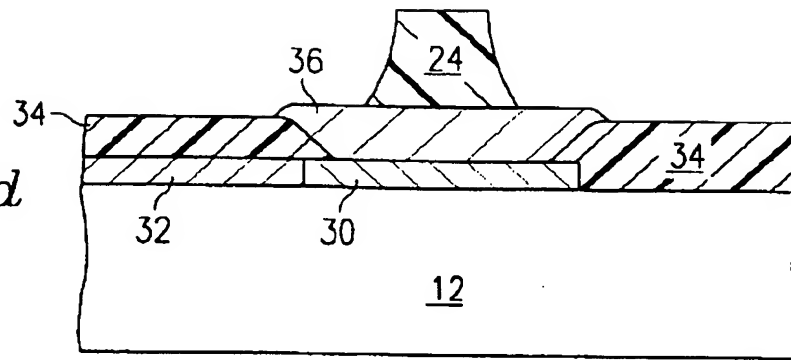


FIG. 5e

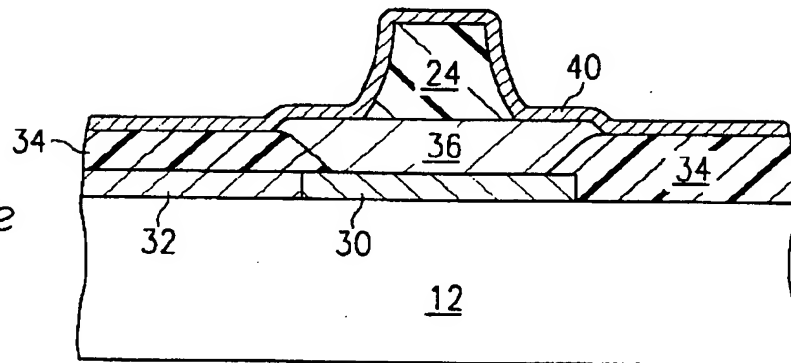
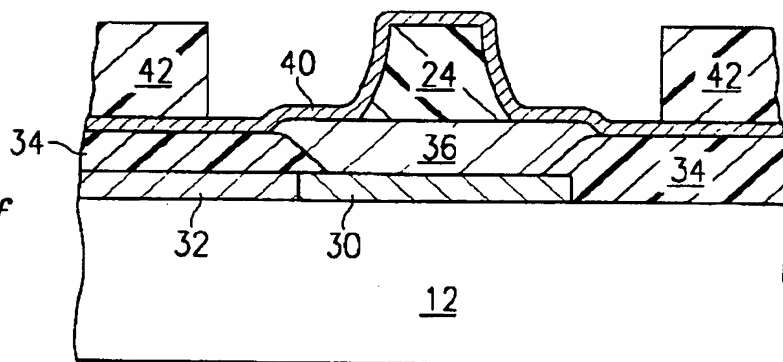
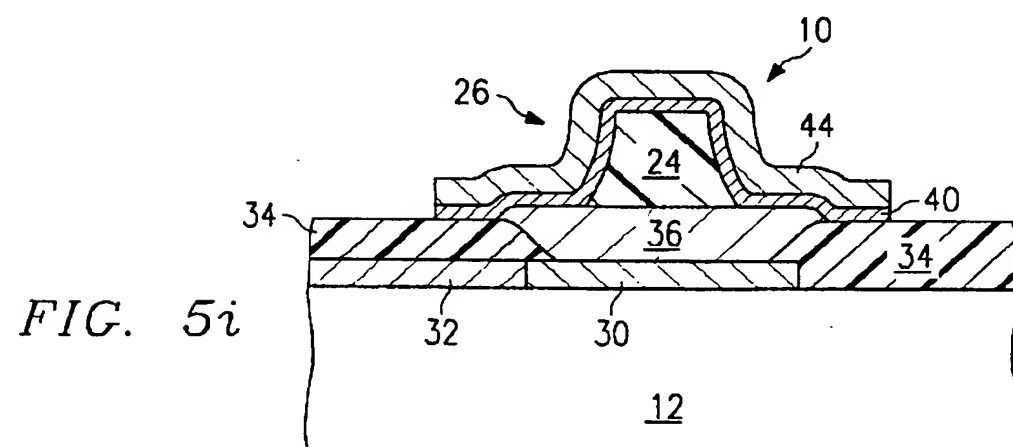
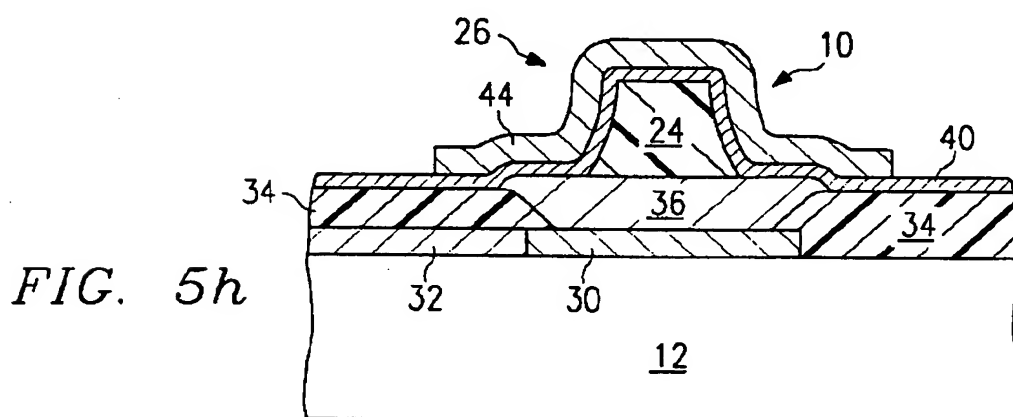
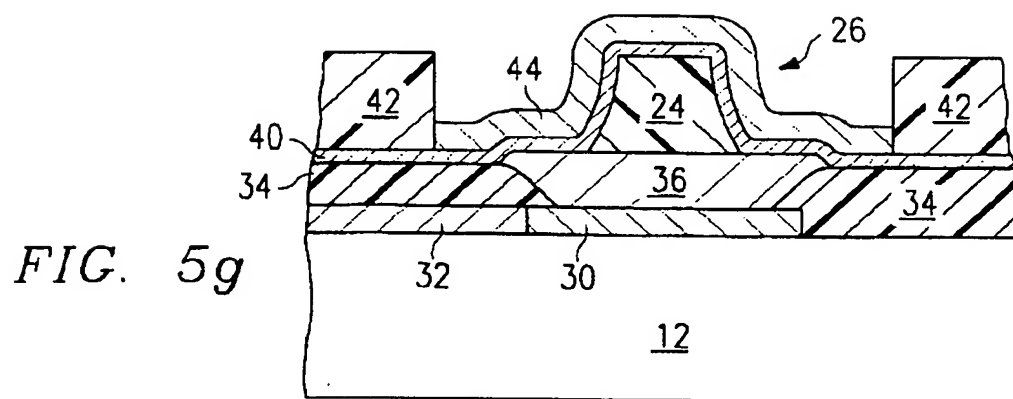


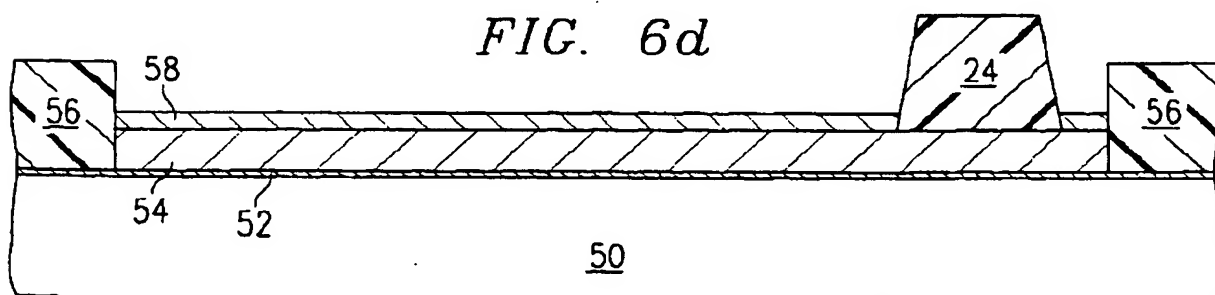
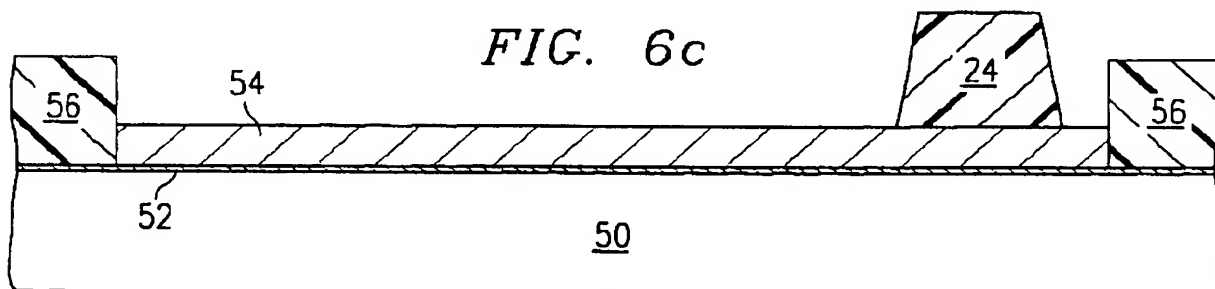
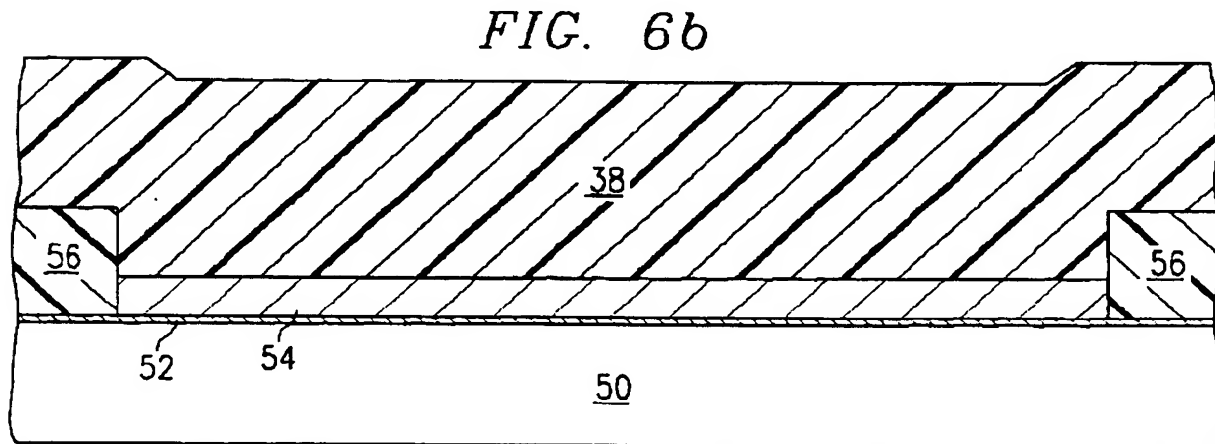
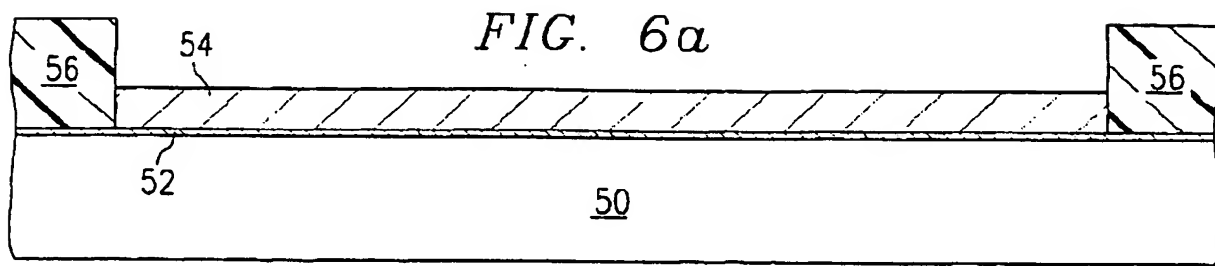
FIG. 5f



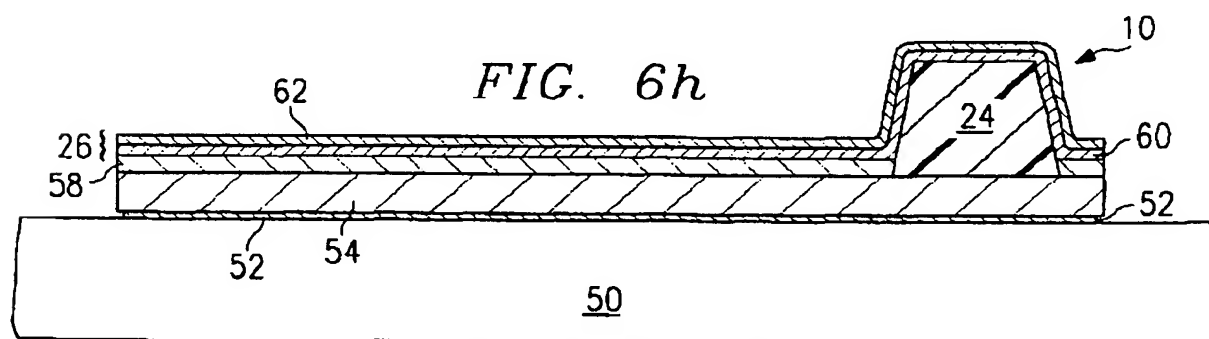
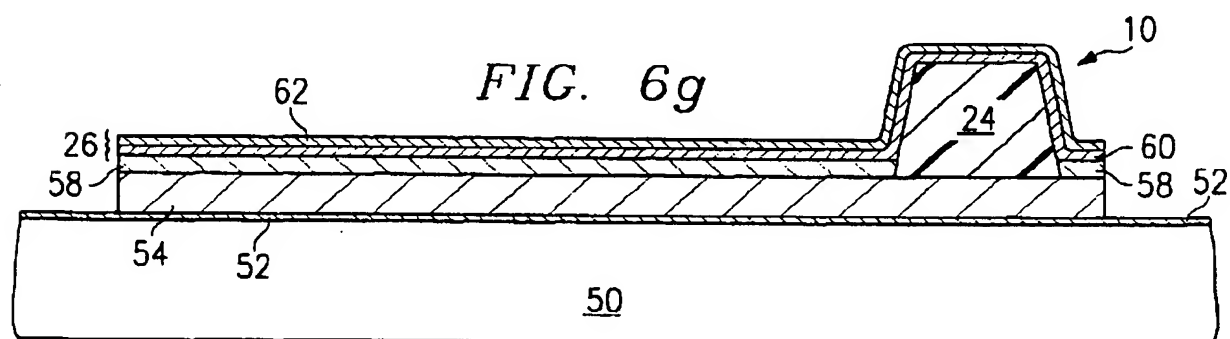
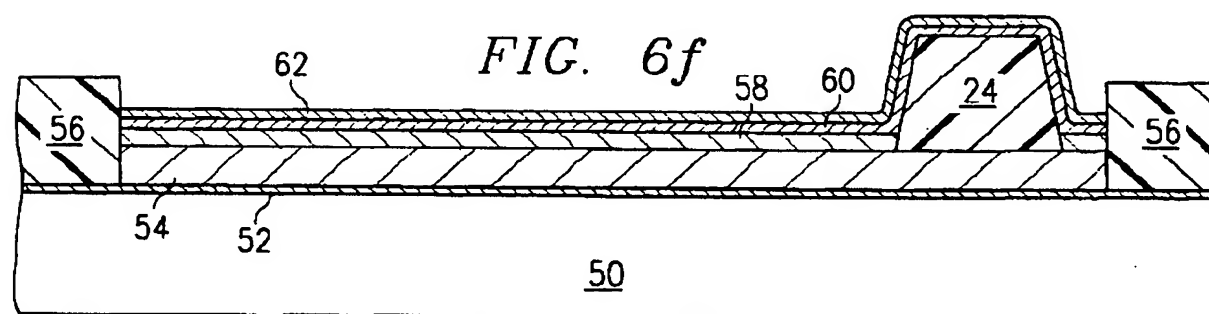
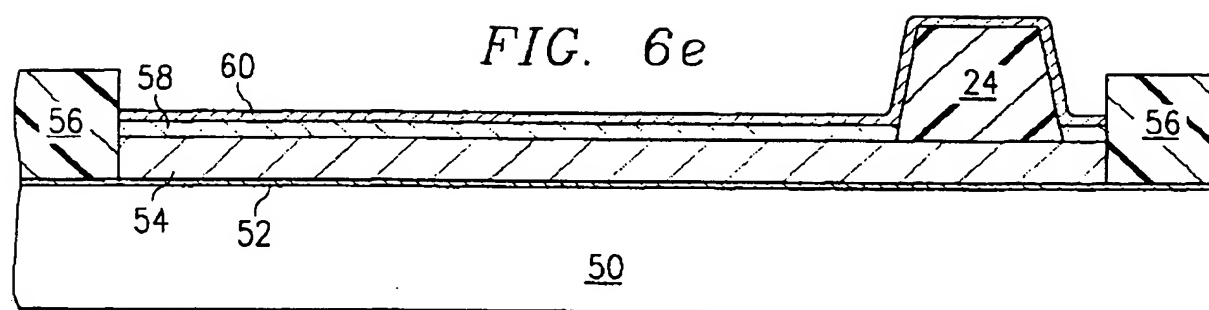
[Drawing 5]



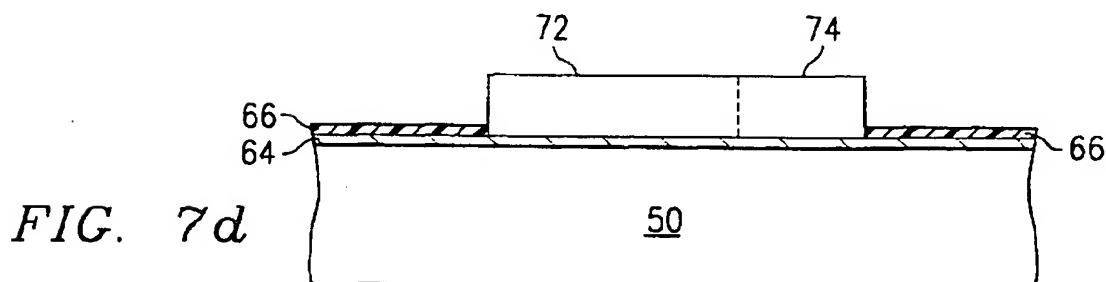
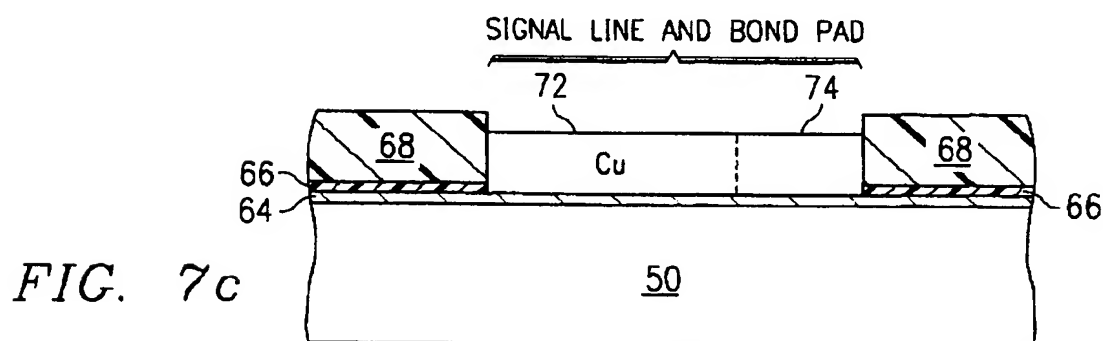
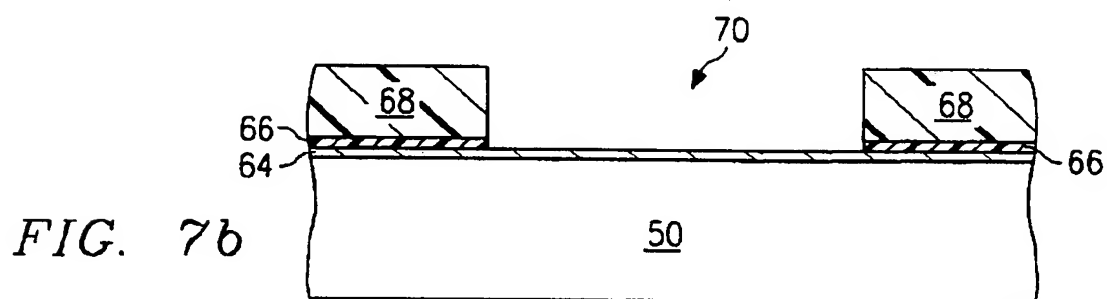
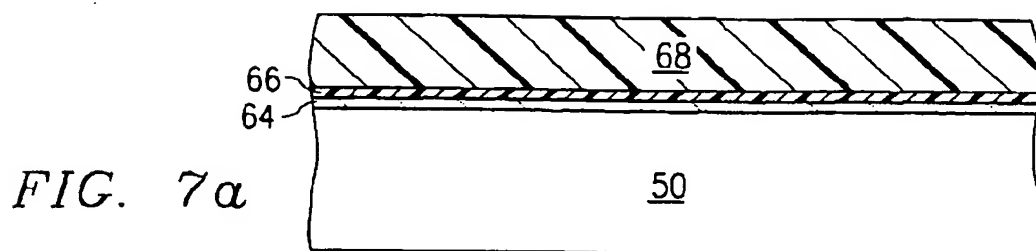
[Drawing 6]



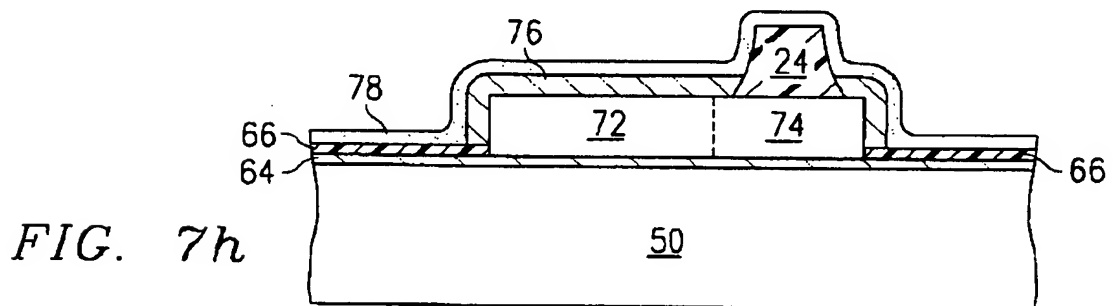
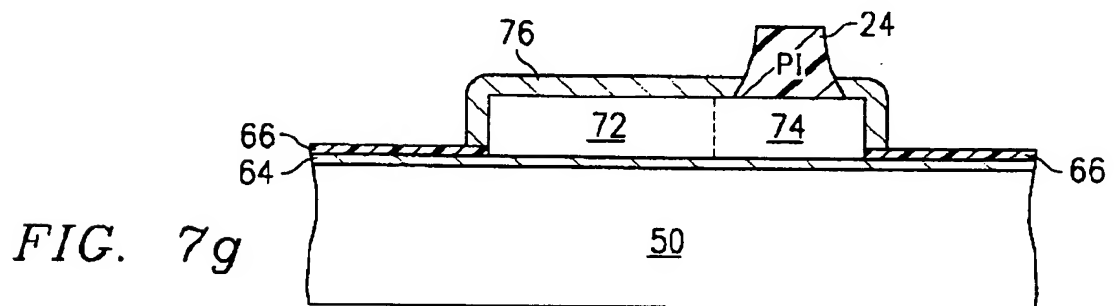
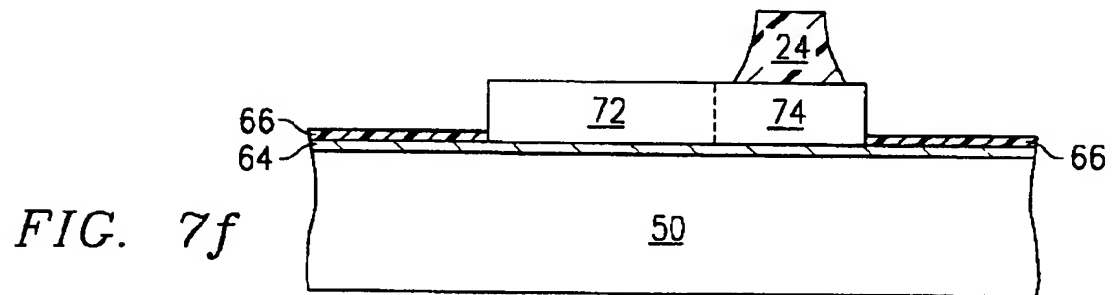
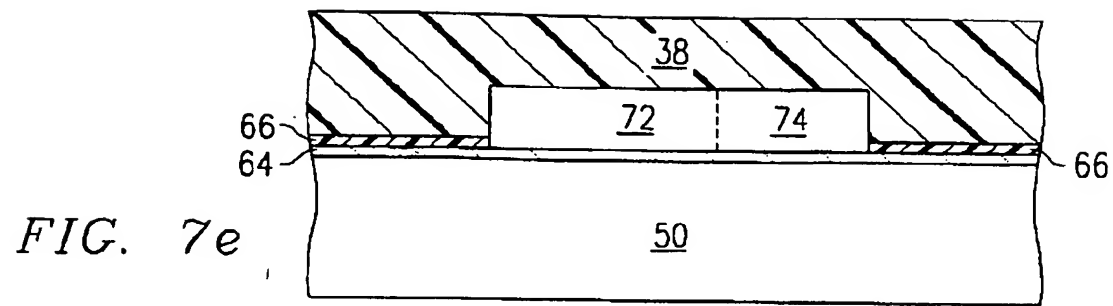
[Drawing 6]



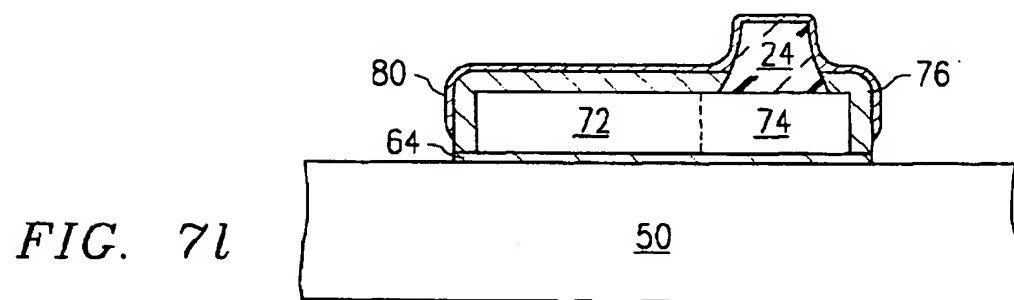
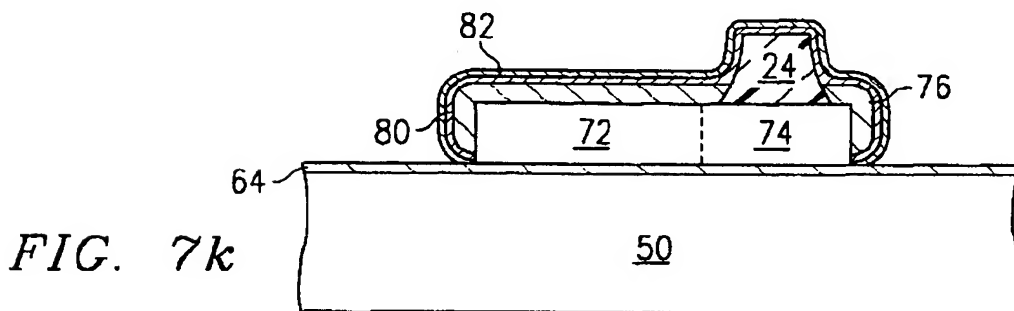
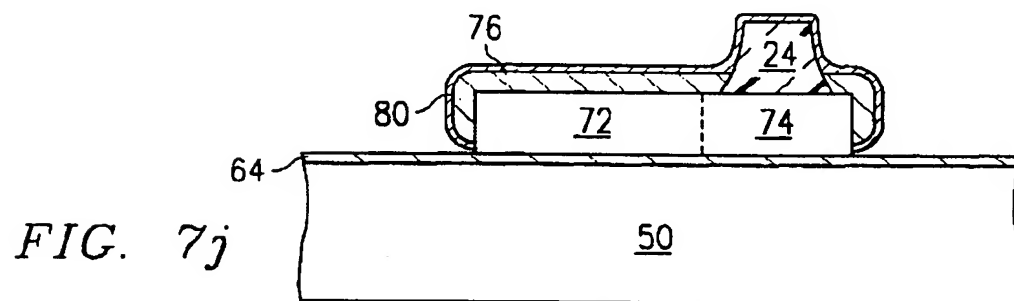
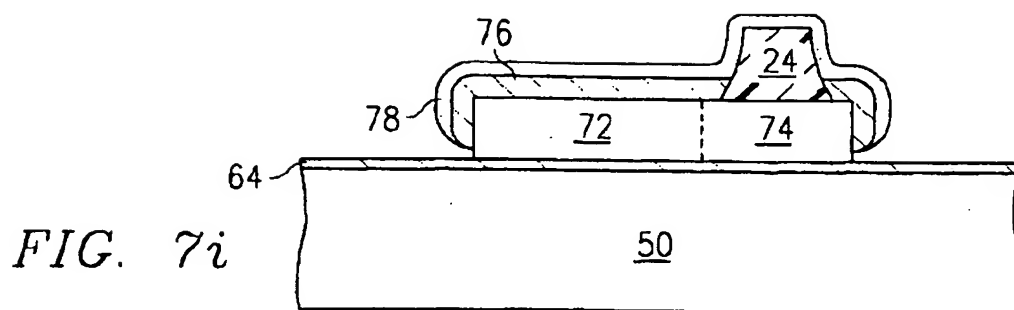
[Drawing 7]



[Drawing 7]



[Drawing 7]



[Drawing 8]

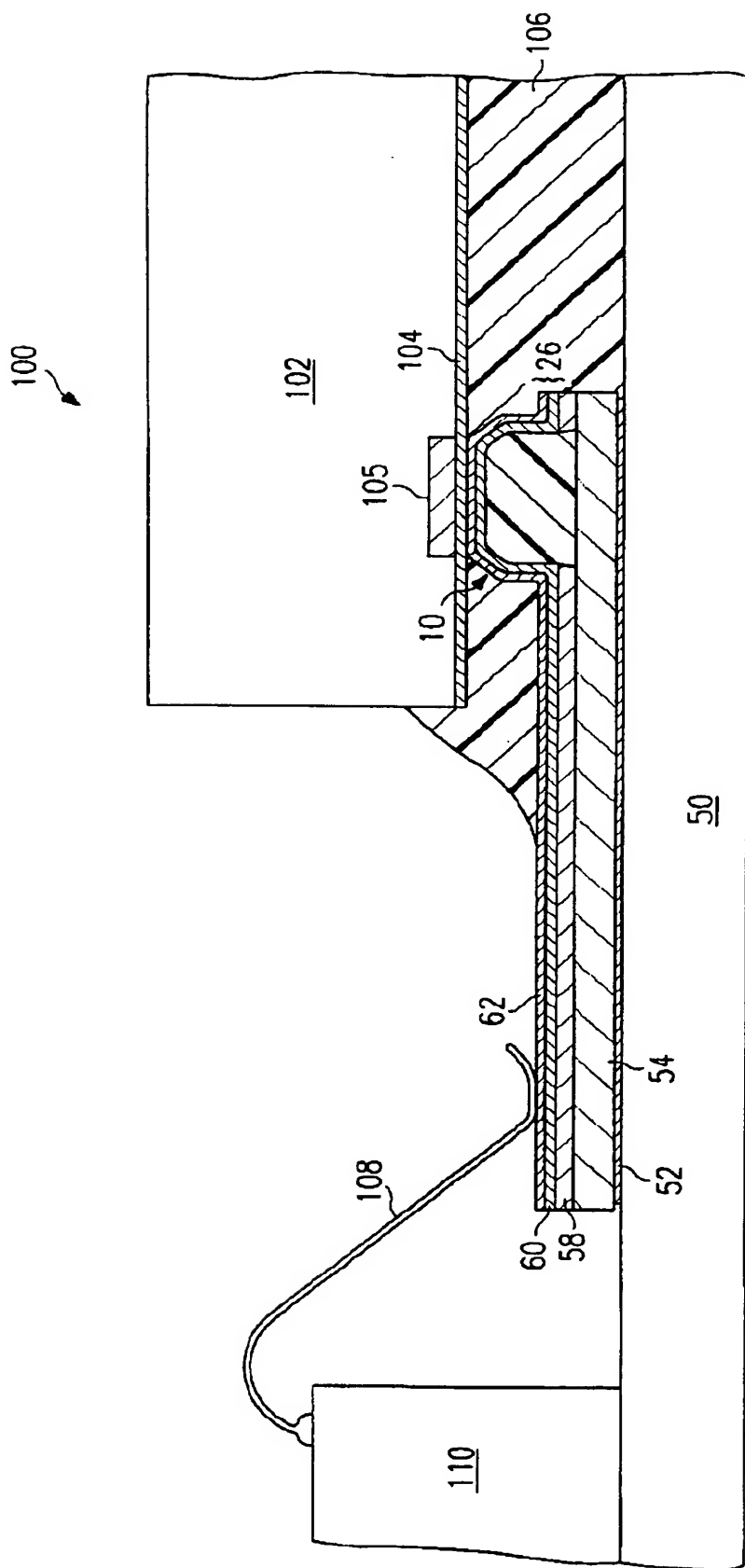
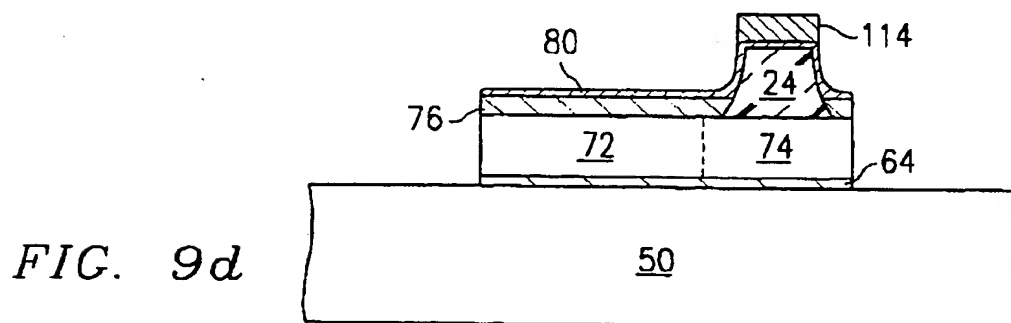
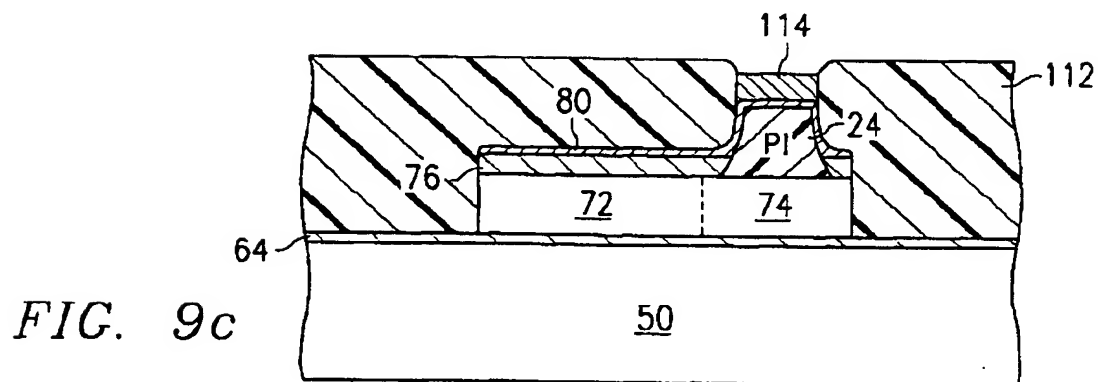
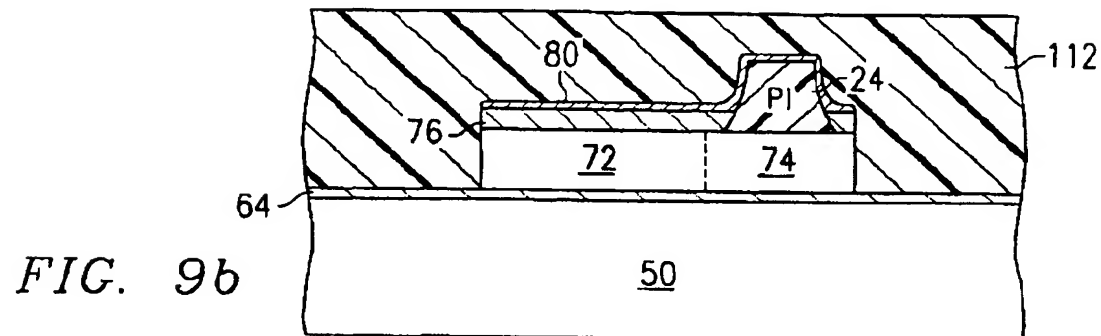
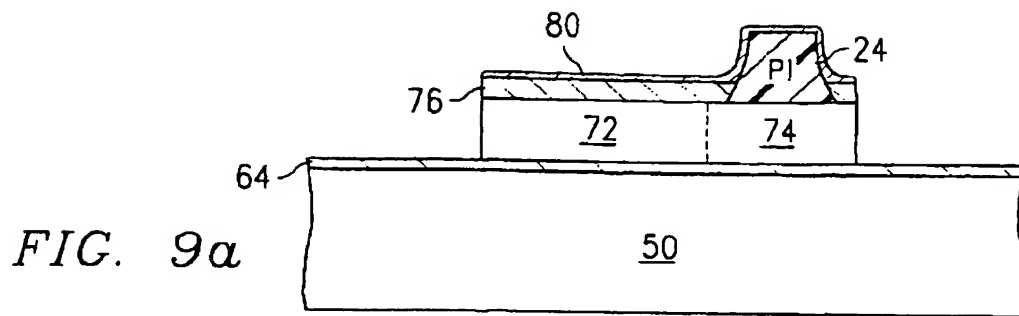
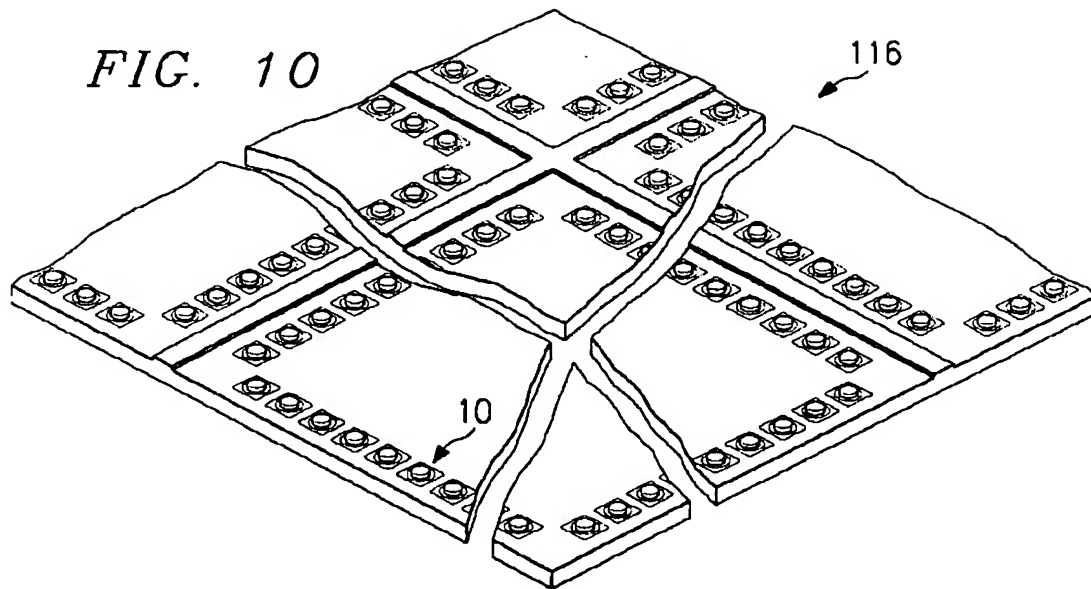


FIG. 8

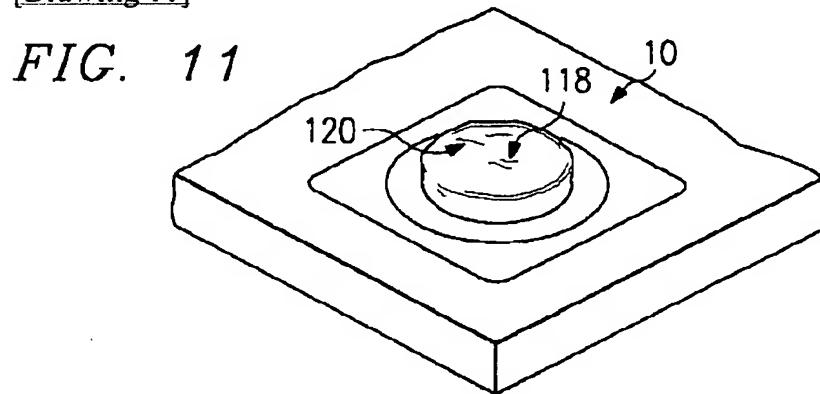
[Drawing 9]



[Drawing 10]



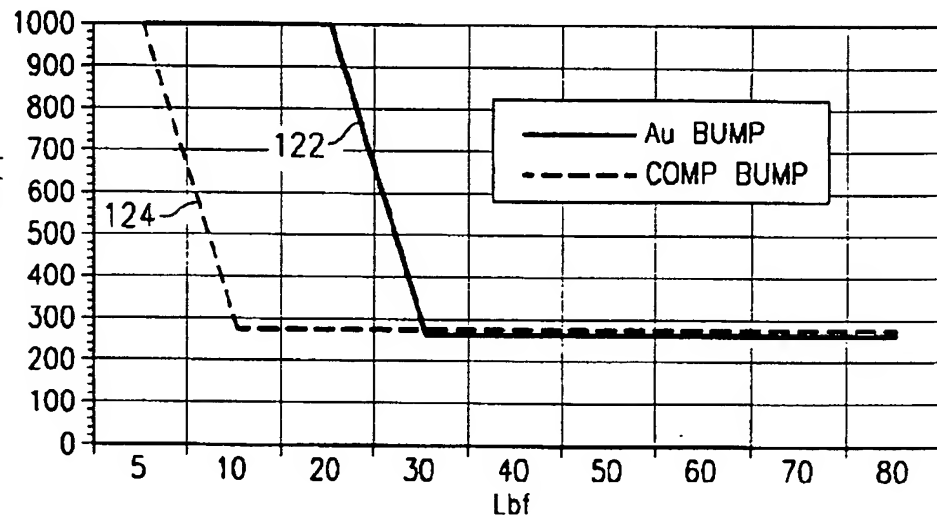
[Drawing 11]



[Drawing 12]

FIG. 12

AVERAGE RESISTANCE
THROUGH 216 BUMP
DAISY CHAIN
STRUCTURE
(Ω)



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平9-512386

(43) 公表日 平成9年(1997)12月9日

(51) Int.Cl.⁹

H 0 1 L 21/321
21/3205

識別記号

庁内整理番号

9169-4M
9054-4M

F I

H 0 1 L 21/92
21/88

6 0 3 C
T

審査請求 未請求 予備審査請求 有 (全 49 頁)

(21) 出願番号 特願平7-521440
(86) (22) 出願日 平成7年(1995)2月13日
(85) 翻訳文提出日 平成8年(1996)8月14日
(86) 国際出願番号 P C T / U S 9 5 / 0 2 1 0 9
(87) 国際公開番号 W O 9 5 / 2 2 1 7 2
(87) 国際公開日 平成7年(1995)8月17日
(31) 優先権主張番号 0 8 / 1 9 5 , 4 3 4
(32) 優先日 1994年2月14日
(33) 優先権主張国 米国 (U S)

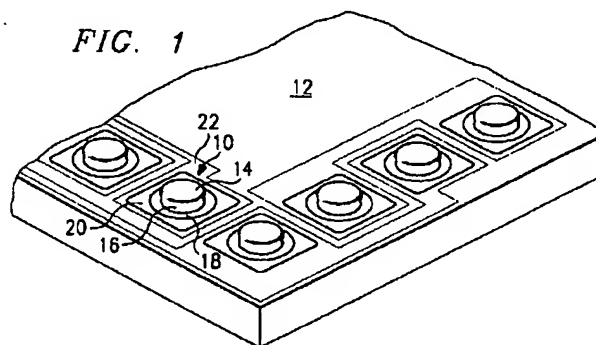
(71) 出願人 マイクロエレクトロニクス、アンド、カム
ピュータ、テクノラジ、コーポレイション
アメリカ合衆国テキサス州78759、オース
ティン、ウエスト・バルカンズ・センタ・
ドライブ 3500番
(72) 発明者 ノウラン、アーニスト、アー
アメリカ合衆国テキサス州78681、ラウン
ド・ラック、ラビン・トレイル 1204番
(72) 発明者 デュアン、ダイアナ、カータ
アメリカ合衆国テキサス州78613、シー
ダ・パーク、ワイルドライフ・ラン 2503
番
(74) 代理人 弁理士 真田 雄造 (外2名)

最終頁に続く

(54) 【発明の名称】 接着用フリップチップ集積回路装置のための柔軟性導電性接続パンプ及びその形成方法

(57) 【要約】

接着用フリップチップ (12) 集積回路装置のための柔軟性導電性接続パンプ (10) 及びこのパンプの種々の形成方法は、ポリマパンプ (24) を基板 (12) 即ち集積回路のダイの上に形成する工程と、金属層 (26) にポリマパンプを塗布する工程とを含む。ポリマパンプの形成工程は、ポリマ材料を基板上に塗布する工程と、ポリマをキュアする工程と、ポリマ材料をパンプ形状にエッチする工程とを含む。オーバーコーティング工程は、ポリマパンプ上に金のような延性を有する金属を非電氣的にプレーティングする工程を含む。



【特許請求の範囲】

1. 電氣的接続端子を電氣的接続点に広範囲で柔軟に接続するための前記電氣的接続端子を有するベース上への導電性の柔軟性バンプを形成する方法であって、

ポリマバンプを前記電氣的接続端子の所定の位置上に形成する工程と、

当該ポリマバンプを覆いかつ前記電氣的接続端子に対する電氣的接続を形成するための延性を有する金属をその上にプレーティングするためのポリマバンプを含む所定の領域を規定する工程と、

延性を有する金属層を、ポリマバンプ上及び前記電氣的接続端子の一部の上に、広範囲で柔軟に電氣的接続端子と電氣的接続点との間を接続可能な電氣的接続を形成するために、プレーティングする工程とからなる方法。

2. 請求の範囲第1項記載の方法において、前記規定工程は、触媒作用を及ぼすようにされたポリマバンプを形成するために前記ポリマバンプを触媒化する工程からなり、更に、前記プレーティング工程は、前記触媒作用を及ぼすようにされたポリマバンプを非電氣的にプレーティングする工程からなる方法。

3. 請求の範囲第1項記載の方法において、前記ポリマバンプ形成工程は、ウェットエッチプロセスを用いて前記ポリマバンプを形成する工程からなる方法。

4. 請求の範囲第1項記載の方法において、前記ポリマバンプは予め混合された触媒を有するポリマ材料からなり、更に、前記プレーティング工程は前記

予め混合された触媒を有する前記ポリマバンプを非電氣的にプレーティングする工程からなる方法。

5. 請求の範囲第1項記載の方法において、前記ポリマバンプ形成工程は、フォトイメージ可能なポリマからポリマバンプを形成する工程からなる方法。

6. 請求の範囲第5項記載の方法において、前記規定工程は、触媒作用を及ぼすようにされたポリマバンプを形成するために前記ポリマバンプを触媒化する工程からなり、更に、前記プレーティング工程は、前記触媒作用を及ぼすようにされたポリマバンプを非電氣的にプレーティングする工程からなる方法。

7. 請求の範囲第1項記載の方法において、前記方法は更に、
集積回路ウェハ上に延性を有する金属を堆積する工程と、
集積回路ウェハ上に、前記ポリマバンプを覆う延性を有する金属の層、及び、
延性を有する金属の層の一部である所定の領域を規定するために、フォトレジスト層を形成する工程と、

延性を有する金属の層の残された部分を除去する工程と
からなる方法。

8. 請求の範囲第1項記載の方法において、前記ポリマバンプは予め混合された触媒を有するポリマ材料からなり、更に、前記プレーティング工程は、予め混合された触媒を有するポリマバンプを非電氣的にプレーティングする工程からなる方法。

9. 電子装置の組立体であって、

電氣的接続点を有する電氣的装置と、

当該ベース上の電氣的接続端子に電氣的に接続された導電性の柔軟性バンプを有するベースと、

前記ベースを前記電氣的装置に接続して、前記導電性の柔軟性バンプを前記電氣的接続点に広範囲で電氣的に接続する接着剤と
からなり、

広範囲で柔軟性前記導電性の柔軟性バンプは、前記電氣的接続端子を電氣的接続点及び前記電氣的装置に接続し、

前記導電性の柔軟性バンプは、

電氣的接続端子の所定の位置上のポリマバンプと、

ポリマバンプ及び電氣的接続端子の一部の上にプレートされた延性を有する金属の層とからなり、

前記ポリマバンプと電氣的接続端子とが、電氣的接続端子と電氣的接続点との間を接続可能とする、広範囲で柔軟性電氣的接続を形成する組立体。

10. 導電性の柔軟性バンプを、少なくとも1個の柔軟性バンプに接続するための電氣的接続を有するベース上に形成する方法であって、

前記電氣的接続上にポリマバンプを形成する工程と、

前記少なくとも1個の電氣的接続に電氣的に接続する導電性の金属薄膜層を、
前記ベース上及びポリマバンプ上に非電氣的にプレーティングする工程と、 前
記導電性の金属薄膜層上に、前記柔軟性バンプの表面領域に対応する所定の大き
さの開口を有するフォトリソマスクの層を形成する工程と、

延性を有する金属の層を、フォトリソマスクによって規定された表面領域
上に、延性を有する金属の層とポリマバンプ及び電氣的接続上の薄い導電性の金
属層の一部とからなる導電性の金属層を形成するために電気プレーティン

グする工程と、

フォトリソマスクを、前記導電性の金属薄膜層の残された部分を露出させ
るために除去する工程と、

導電性の金属薄膜層を除去する工程と
からなる方法。

【発明の詳細な説明】

発明の名称 接着用フリップチップ集積回路装置のための柔軟性
 導電性接続バンプ及びその形成方法

政府の権利

アメリカ合衆国政府は、この発明につき対価を支払済みの実施権、及び、ナショナルインシテュートオブスタンダーズアンドテクノロジー（NIST）によって裁定付与された契約書番号NIST/ATP70NANB1H1114の期間によって規定された適切な期間において他人に許可を与えることを特許権者に要求するという制限的状況の下での権利を有する。

発明の技術分野

本発明は、経済的で柔軟性があり(compliant)再度使用することが可能な電氣的接続であって接着用フリップチップ組立体のための電氣的接続を提供するための金属の薄膜層が塗布されたポリマバンプを用いて、フリップチップ装置上に、柔軟性バンプを形成することに関する。

発明の背景

近年、接着用のフリップチップ技術を商品化するいくつかの努力がなされている。これらの努力において、製造業者は接着用フリップチップの広範囲な使用を妨げる多数の信頼性及び製造上の障害を知った。ガラス又はセラミックの基板上における接着用フリップチップの失敗は種々の原因によって生じる。大部分の接着用フリップチップ技術における電氣的接続は、チップと基板との間の圧縮された接続点を通して行われる。ここで、“基板”は、通常その上に複数の導電体を組み立てたりデポジットさせたりすることが可能などのような材料をも指す。この設計は、組立体の寿命がある間中、接着における引張応力

が電氣的接続を作り出し維持することを要求する。しかし、接着材がZ軸方向に延びたり膨張(swell)したりした場合に、電氣的接続の欠損が起きる。Z軸方向の伸張又は膨張は熱膨張又は水分の吸収のために生じる。大きな剥離又は引張応力による割れは、接着応力が過剰な場合に、接着材中に生じるであろう。これらは、また、Z方向の移動によっても生じる。

接着用フリップチップ組立体は、チップを基板に電氣的に接続するために、突出した固体金属バンプ又は（異方性の導電性接着材においては）金属で覆ったポリマ又は固体金属粒を良く用いる。フリップチップシステムは、チップのパッドがチップのパシベーション被覆より下に代表的な値で $1\text{ }\mu\text{m}$ 又はそれ以上窪んだ位置にあるので、これらのバンプ又は金属粒を用いる。他のチップ又は基板の反った又は振じれた形状は、チップと基板との間の何らかのバンプ又は金属粒なしでは、電氣的接続を不可能にするであろう。異方性の導電性接着材を用いるフリップチップ技術の場合においては、金属粒は比較的小さい。多くの金属粒はおおよそ $10\text{ }\mu\text{m}$ 以下の直径を有する。結果として、このようなバンプのボンドライン(bond line)の厚さもまた $10\text{ }\mu\text{m}$ 以下である。このことは、バンプが互いに接触しない限り、バンプを近づけて配置することを可能にする。このような装置においては、確実なZ軸方向の接続性が望ましくない横方向の接続なしに実現できる。しかし、薄い接着剤のボンドラインのために、高い引張応力がこのような装置の特にチップの角で生じる。

固体金属のバンプを用いるフリップチップ組立体は、最適な応力レベルを発生させるためにボンドラインの厚さを最適化するようなバンプ高さの調整を許容できるという有利さがある。固体金属バンプ技術の一例は、1987年9月15日に発行され、松下電器工業株式会社に譲渡されたK.Hatadaによる”半導体装置の接続方法”なるアメリカ特許番号 4,693,770（以下、Hatada）に見ることができる。Hatadaは、ダイ(die)から基板への電氣的接続を形成するために、固

体金バンプを用いている。これは、典型的なLCDへの適用である。しかし、Hatadaの装置の主要な問題は、接着剤のクリープによる弛緩(creep-relaxation)のために、故障する傾向にあることである。しかし、これだけが固体金属バンプの構成での問題ではない。

固体金属バンプの熱膨張係数(CTE)は、典型的な場合、基板と接触することでフリップチップ装置を支持している接着剤の熱膨張係数よりも大変小さい。従って、フリップチップが温度を上昇させるので、接着剤はバンプよりも早く伸張する。このことがフリップチップを基板から遊離させる。この熱膨張が、結果

として、フリップチップと基板との間の回路をオープンにする。

このような問題から、固体金属バンプを使用する接着用フリップチップ組立体は、特別の機械的性質を有する接着剤を必要とする。接着剤は小さい熱膨張係数と吸湿性を備えていなければならない。更に、接着剤のガラス転移温度、ストレージモジュラス、引張及び接着強度が強くななければならない。この様な性質を備えた接着剤は殆どない。このことが、一般的に、製造上の問題、即ち、短いポット寿命(pot lives)、再使用性の欠如、余分なイオンの発生、長いキュア時間の要求等の原因となっている。

フリップチップボンディング技術の他の制限は、ボンディングが行われる際の製造プロセスに関係する。マルチチップ電子組立体の大部分の製造業者は、集積回路ダイチップの全てを彼らの設計でもって生産していない。その代わりに、彼らは、頻繁に、フリップチップバンププロセスを提供しないであろう様々な製造業者から集積回路ダイを購入する。しばしば、これらの進歩的なチップ製造業者は、競業者や需要者がチップの製造コストを算出するために用いることが可能な情報について、大変に保守的である。このために、彼らは時々集積回路チップをウェハの形態で供給することを拒否する。これは、完全なウェハがそのウェハからの集積回路の歩留りを示すことになるからである。ウェハ

当りの良品チップの電氣的歩留りは第1のコストドライバである。このコストの情報に関する競業者の知識は、従って、製造業者の事業上の利害関係にとって有害である。ウェハ全体の上にこれらのバンプを形成するためのフリップチップ装置の以後のプロセスをなしえないことは、マルチチップモジュールにおけるフリップチップ技術の有用性を制限する。

従って、関連技術は、既知の電氣的接続バンプの製造及び使用に関連して信頼性及び製造上の障害を克服できるフリップチップバンプをどのようにして形成するかを教示していない。

関連技術は、引張応力による割れ、全体の剥離、及び、電氣的接続が失われること等の既知の接着用フリップチップ組立体のバンプについての問題を回避する接着用フリップチップ組立体のための接続バンプの形成方法を教示していない。

確実なZ軸方向の導電性を実現し、また、既知の接着用フリップチップ組立体のバンパにおける熱膨張係数（CTE）に関係する問題を克服する接着用フリップチップ組立体のためのバンパ技術については、何の教示もない。

高いガラス転移温度、ストレージモジュラス、及び引張及び接着強度と共に、低い熱膨張係数（CTE）及び吸湿性と言う特別な機械的性質を備えた接着剤に対する必要性を取り除いたフリップチップバンパの形成プロセスはない。関連技術は、更に、組立体のダイを特に用意することを不要にする、接着用フリップチップ組立体のバンパを接続する方法を何ら教示していない。

発明の要旨

本発明の目的は、従って、接着用フリップチップ組立体及びその形成方法に関連する不利益及び問題を実質的に解消し又は少なくした、既知の接続バンパ接着用フリップチップ組立体のための柔軟性接続バンパを提供することにある。

本発明の他の目的は、接着用フリップチップ組立体の集積回路の接続パッド上にポリマバンパを形成する工程と、ポリマバンパを金属層で覆う工程とを含む

む、接着用フリップチップ組立体のための柔軟性バンパの形成方法を提供することにある。

本発明の構成は、ポリマバンパ形成工程が基板上に後にキュアされることになるポリマ材料を塗布する工程を含むことにある。次の工程は、エッチマスクを用いてポリマ材料上にエッチパターンを規定することである。それから、パターニングはエッチマスクのパターンに基づいて行われる。更に、ポリマ材料はポリマバンパを形成するためにエッチされる。エッチング工程はポリマバンパを形成するためにポリマ材料をプラズマエッチ又はウェットケミカルエッチすることを含んでも良い。ポリマバンパ形成工程は、フォトイメージ可能な(photo-imageable又は感光性の)ポリマ材料を基板上に塗布し、ポリマをプリベーク(pre-baking)し、その後、ポリマバンパ形状にフォトイメージ可能なポリマ材料を現像するためにフォトイメージ可能なポリマ材料を露光する工程を含んでも良い。

本発明の他の構成は、ポリマバンパの被覆が、薄いプレーティングバス(plating buss)を基板上にデポジットする工程と、この薄いプレーティングバスに対し

てプレーティングマスクを用いることによってプレートすべき領域を規定する工程とを含んでも良い。被覆工程は、プレーティングマスクが規定する領域に金属層を電気プレーティングする工程を含む。次の工程はプレーティングマスク及びプレーティングバスを除去することである。被覆工程は、以上に代えて、ポリマバンプに板状の触媒を用いて、ポリマバンプ上に金のような延性を有する金属を非電氣的にプレーティングすることを含んでも良い。また、被覆工程の第2の代替案としては、全表面上に金属を所望の厚さにデポジットし、その後、バンプにエッチマスクを用いることを含んでも良い。この第2の代替プロセスの次の工程は、エッチマスクの規定するエッチ領域に従って、フィールド金属（表面上に形成された金属）をエッチする。他の代替案は、塗布及び

パターニングに先立ってフォトイメージ可能なポリイミドに触媒を予め混合し、その後非電氣的に金属層をプレートすることである。

本発明の更に他の構成は、チップ上に直接又は基板の接続パッド上のいずれであっても、接着用フリップチップ組立体のための柔軟性バンプを形成する方法を提供することである。本発明は標準的なバンプ形成プロセスと、集積回路のワイヤボンダ用のパッド上にポリマバンプを形成するための標準的な設備を用いる。パッド及びバンプは、その後金属層によって覆われる。金属で被覆されたバンプは、一例として、バンプ全体の高さの30%まで柔軟に圧縮される。このことは、フリップチップ接続の接着剤に要求される機械的特性を劇的に変えることになる。本発明のプロセスは、従って、信頼性が高く、コストが効いてくる接着用フリップチップ組立体であって、再度の使用が可能な市販の接着剤を用いたものを生産する。

集積回路ウェハ上にバンプを形成することは、処理された各ピースのために多くのチップが用意されるので、一般に最もコストに効いてくる。基板上にバンプを形成することは、処理された各ピース当たり、より少ないチップの位置にバンプを形成することことに帰着し、このことはより高い処理コストに通じる。基板上にバンプを形成することは、もし、その結果であるフリップチップ組立体が、多くの異なる供給者又はバンプ用の完全なウェハを供給しない供給者からのチップ

を含むとしたら、魅力あることではある。本発明はこれらの異なったプロセスを調整する。

本発明の他の技術的に有利な点は、柔軟性バンプの一部を構成する柔軟性ポリマが、基板又はダイにおける反り又は非平坦性及びパッド高さの非均一性を補償するメカニズムを提供することである。固体金属バンプを電気メッキする通常の技術で可能とされるものより好ましいバンプ高さの均一性が、本発明を用いることにより達成できるであろう。例えば、本発明に従って形成されたサ

ンプルから計測されたポリマバンプの非均一性は、バンプ高さの平均のおよそ3%であった。一方、最良の通常の方法に従って形成された固体金属バンプの非均一性は、平均して、バンプ高さのおよそ10%であった。

ポリマは、また、金属が対応するよりも、より広範囲の変位に対応する。この要素は、固体金属バンプと比較した場合よりも、ボンディング力をより小さくすることを可能にする。これは、バンプの非均一性を補正するために金属バンプを塑性変形させるのに用いられる過剰なボンディング力を必要としないからである。本発明は、従って、フリップチップ装置と基板との間の電氣的接続性を確実にしつつ、より広範囲のボンディングパラメータの使用を可能にする。

更に、なお、本発明の技術的に有利な点は、接続された状態での応力を小さくするための最適化されたプロセスパラメータを可能にすることにある。通常の接着用フリップチップシステムにおいては、接続された状態での応力は、湿気が引き起こすウェリング、クリープによる弛緩、及び熱膨張のために起きる電氣的接続の損失に対抗して、これを確保するために極度に増加される。本発明の柔軟性バンプによれば、バンプはその本来の高さにまで弾性的に戻ろうとする。バンプは、従って、その本来の高さに戻るまで、実効的な圧縮率に比例した接触力を維持するであろう。これに加えて、本発明は、ポリマの組成及びキュアのパラメータ、更には金属のプレーティングの厚さを調整することによって、実効的な圧縮率を適切に仕立てることを可能にする。

本発明の上述の及び他の目的、構成及び技術的に有利な点は、詳細な説明及びこれに続く好ましい実施例からより明らかになるであろう。

図面の簡単な説明

以下の好ましい実施例の説明は、添付された図面と共に読んだ時に最も良く理解される。

図1は本実施例に従って形成された柔軟性バンプの斜視図である。

図2は本実施例の方法に従って形成された柔軟性バンプの断面図である。

図3は20 lbs.の組立力を用いてガラス基板上に組立てられた、本実施例に従って形成された柔軟性バンプを示す。

図4は60 lbs.の組立力を用いてガラス基板上に組立てられた柔軟性バンプを示す。

図5 aから図5 iは予め製造された集積回路装置上の本実施例の基板上への柔軟性バンプの形成を示す。

図6 aから図6 hは本実施例に従って柔軟性バンプを形成する1プロセスフローを示す。

図7 aから図7 iは本発明の他の実施例である2層マスクプロセスを示す。

図8は本発明を使用したハイブリッド組立体を示す。

図9 aから図9 dは本発明の柔軟性バンプの機械的特性を高めるための他のプロセスフローを示す。

図10はシリコンのテストチップウェハ上に本実施例に従って形成された多数の柔軟性バンプを示す。

図11は20 kpsiから70 kpsiまでの負荷による3000回の機械的サイクルを経た後の本実施例の柔軟性バンプを示す。

図12は通常通りに形成された固体金属バンプを有するテストデバイスの抵抗試験結果と比較した図10のテストデバイスの抵抗試験結果を示す。

発明の詳細な説明

図面に対する参照がなされるが、図面に描かれた要素は縮尺を示すために示されたものではなく、いくつかの図面において同一又は類似の要素は同一の参照符号で示され、特に図1において柔軟性バンプ10は本発明の特に好ましい具体例に従って現される。

図1はICチップ12上に形成された本実施例に従って形成された柔軟性バ

ンプの斜視図を示す。柔軟性バンプ10は側面部16に接続する上表面10を含む。側面部16は、水平なICチップ12に対して実質的に垂直であり、ベース18に接続される。柔軟性バンプ10は、リード22に対する接続を与えるために、ICチップ12の接続パッド20上に形成されるであろう。

図2乃至図4は、その構成部分をより明確に示すために、柔軟性バンプ10の断面図を示す。まず、図2を参照すると、ICチップ12上にワイヤボンダパッド20がある。ポリマバンプ24はワイヤボンダパッド20に取付けられている。金からなる金属層26がポリマバンプ24を覆い、少なくとも接続パッドの部分を覆うであろう。図3は柔軟性バンプ10がフリップICチップ12にどのように取付けられ、ボロシリケートガラス基板28にどのように接着されるかを示す。バンプ10は、図3において20lbsの組立力を用いて、ボロシリケートガラス基板28に組立てられる。柔軟性バンプ10は、図2が示す圧縮されていない状態に比較して、図3に示す状態においてその本来の高さの約85%に圧縮される。図4は60lbsの組立力を用いて、ボロシリケートガラス基板28に組立てられた柔軟性バンプ10を示す。60ポンドの組立力は柔軟性バンプ10のおよそ30%の圧縮をもたらす。

柔軟性バンプ10は基板上に又は集積回路チップ上に形成されるであろう。金からなる金属化層26はポリマバンプ24及び接続パッド20の被覆として働く。この実施例のために、柔軟性バンプ10はおよそ $17\mu\text{m}$ の高さ14を有する。この高さは有限要素解析及び試験の結果により最適であるものとして決定された。柔軟性バンプ10の直径は、好ましくは $18\mu\text{m}$ 乃至 $93\mu\text{m}$ である。ポリマバンプ24のコンプライアンシー（柔軟性又は追従性）は、バンプが基板28における反り又は非平坦性及びワイヤボンダパッド20の高さの非均一性を調整するであろうことによるメカニズムを与える。通常の電気メッキ技術を用いて達成されるものに比べてより良いバンプ高さの均一性は、ポリ

マバンプ24のプロセスにより達成される。ポリマバンプ24の高さの変化は3

%と計測されるのに対し、金バンプの高さの変化は平均で10%である。ポリマバンプ24は、これに匹敵する大きさの固体金属バンプよりも、より広範囲の変位に柔軟に対応する。これらの要素は、固体金属バンプが可能とするボンディング力よりも、柔軟性バンプ10とのより低いボンディング力を可能にする。これは、バンプの非均一性を補正するために、金属バンプの場合には塑性変形が必要とされるのであるが、塑性変形された柔軟性バンプに対する必要性がないからである。従って、電氣的接続性を確保しつつ、より広範囲のボンディングパラメータが使用できる。ポリマバンプ24と金属層26との組合せは、信頼性がありコストに効くフリップチップ組立体であって市販の接着剤を用いて再度の使用を可能にするものを提供するために、フリップチップボンディングの接着のメカニズムに重大な変化をもたらす。

本実施例は接続された状態での応力を小さくするためにプロセスパラメータを最適化することを可能にする。通常の接着用フリップチップシステムにおいては、接続された状態での応力は、湿気が引き起こすウェリング、クリープによる弛緩及び熱膨張のために起きる電氣的接続の損失に対抗してこれを確保するために、極度に増加される。しかし、柔軟性バンプ10は、圧縮の後に続いて、その本来の高さにまで弾性的に戻ろうとする傾向がある。もし、柔軟性バンプ10が接続用の接着剤よりも低い熱膨張係数（CTE）を持っているとしても、そして、もし、接続用の接着剤が湿気を吸収して膨張しても、柔軟性バンプ10がその本来の高さに戻るまで、柔軟性バンプ10はその実効的な圧縮率に比例する接触力を維持する。これに加えて、柔軟性バンプ10の実効的な圧縮率は、ポリマバンプ24のポリマの組成と共に金属層26の厚さを調整することによって、適切に仕立てられるであろう。ポリマバンプ24の圧縮率を変化させる更に他の方法は、キュアの割合と時間を調整することである。

ポリマバンプ24に望まれる特性は、高いガラス転移温度（T_g）、高い降伏応力、広範囲の応力歪みに対する線形の弾性的応答、及び高い圧縮強度である。高いT_gは上昇した温度で行われる組立に最適である。材料のクリープはT_gに近い温度で起こる。もし、T_gが組立温度の領域の高温側の端にあまりに近いと

、材料のクリープが電氣的機能の損失を引き起こすであろう。柔軟性バンプ10の弾性率は、温度により少し変化するが、殆ど温度に依存しない。

従って、高い弾性率は望ましいが要求はされない。あまり高い弾性率は好ましくない。これは、高い弾性率は広範囲のボンディング力の下では大変脆い材料を結果として砕くことになるからである。多くの既知のポリマがこれらの要求を満たす。

本実施例においては、ポリマバンプ24を形成するためのいくつかのアプローチが可能である。それらはドライエッチプロセス、ウェットエッチプロセス、及びフォトリソグラフィングプロセスを含む。各プロセスは、ポリマバンプ24の核としてポリマ材料を用いるが、異なる処理の順序によってポリマバンプ24を形成する。各々のプロセスにおいて、ポリマ材料はICチップ12に用いられる。ポリマ材料は像を形成され又はマスクされ、その後フィールド領域から除去され、バンプが接続パッド20を構成する導電体層上に形成される。

本発明の好ましい実施例は、ポリマバンプ24を形成するためにフォトリソグラフィ可能(photo-imageable)なプロセスを用いる。このアプローチにおいて、ICチップ12は、フォトリソグラフィ可能なポリマを用いて形成されたポリマ24で覆われる。ポリマ24はポリマ材料を直接露光し現像することにより形成される。このアプローチの利点は、バンプの大きさ及び形状が露光のパラメータを変更することにより修正することができ、大きなアスペクト比が得られ、処理が迅速かつ簡単に通常のフォトリソグラフィの設備でできるることである。バンプ高さの均一性はこのアプローチでは大変良い。

本発明の一実施例において、柔軟性バンプ10を製造された半導体ウェハ上に形成することが可能である。図5a-図5iは、従って、予め存在する半導体装置上に柔軟性バンプ10を形成するプロセスを示す。図5a-図5iが示すプロセスフローは、既に製造された集積回路フリップチップ組立体であって重要なコストの削減及び信頼性の改善という目的を達成したものの上に柔軟性バンプ10を形成する改善された方法を提供する。

図5aを参照すると、パシベーション層34がワイヤボンディングしようとする

る領域以外を覆っているアルミニウムパッド30及び導体32がその上に現れるシリコン基板12が現される。この層34は確立された集積回路製造プロセスにおいて標準的であり、本発明のこの実施例においてもアルミニウム接続導体32を後にプロセスにおいて用いられる化学薬品から守る。

パシベーション層34及びアルミニウムパッド30上には、以下に述べるMullerのプロセスを用いて、非電氣的ニッケル層36が図5bに示すように形成される。非電氣的ニッケル層36なしでの、金からなる柔軟性バンプ10の金属とアルミニウムパッド30との間の直接的な接触は、結果として不所望な金属間化合物の生成を招く。非電氣的ニッケル層36は、また、アルミニウムパッド30を後にプロセスにおいて用いられる化学薬品から守る。

亜鉛酸塩の活性化は、これに続けて非電氣的ニッケルのプレーティングが行われるが、アルミニウムパッド30を守るためにアルミニウム上にニッケルを載せる方法である。金は、アルミニウムパッドを信頼性のない電氣的接続パスとするような脆弱な金属間化合物を作るように、アルミニウムと反応する。この問題を解決するために、本実施例は、ジンケイティング(zincating)と呼ばれるプレーティングを用いて、アルミニウムパッド30上のニッケル層36を適用する。J. Simon 他 の” タブ (TAB) 及びフリップチップのための非電氣的バンピング” Proc.1993 Int'l Symp. on Microelectronics, 439-44(Nov

1993) (以下Simon) は、この例に有用であろう希釈された亜鉛酸塩の溶液を規定している。A.Ostermanの” 非電氣的ニッケルバンピングのためのアルミニウム接続パッドの前処理” IEEE, 74-78(1993) (以下Osterman) は、更に、この目的のための市販の亜鉛酸塩の溶液の一般的な使用について言及している。Simon 及び Ostermanは、本発明を実施するための該当する全ての目的のための参考文献として特にここに挿入される。

H.G. Muller による” アルミニウム表面のジンケイティングの非電氣的方法” というタイトルのアメリカ特許出願[MCC Docket No. D-5570] であってマイクロエレクトロニクスアンドコンピュータテクノロジーコーポレーション(MCC)に譲渡されたもの(以下、この出願はMullerとして参照される)は、溶液中の亜鉛

及び鉄のグループの濃度に対する水酸化物の濃度の比に本質的に基づいた、このプロセスにとって好結果が得られる亜鉛酸塩の溶液を用いた方法を述べている。Mullerのプロセスは、これに続いて非電氣的ニッケルデポジション工程が行われるが、アルミニウムから酸化物層を除去するためのジンケイティング工程、好ましくは2重のジンケイティング工程を含む。Mullerの重要な構成は、特別な濃度の亜鉛酸塩の溶液を用い、特に、他のプロセスよりも総計して低い約12 g/lから30 g/lのNaOHを用いることである。Mullerは本発明を実施するための該当する全ての目的のための参考文献として特にここに挿入される。

図5 cは、フォトイメージ可能なポリイミド（感光性ポリイミド）層38を用いた次の工程の結果を示す。ポリイミド層38は非電氣的ニッケル層36及びパシベーション層34を覆う。フォトイメージ可能なポリイミド層38は、その後、図5 dに示すように、ポリマバンプ24を形成するためにパターニングされエッチされる。

一方、光学的設備が所望のポリマバンプ24の領域の紫外線露光のため、及びその後の露光、現像、及びポリマバンプ24のキュアのために用いられる。ポリマバンプ24は、集積回路チップのパシベーション層における接続パッドの開口よりも、やや小さいことが好ましい。このことは、上表面14の金属がポリマバンプ24を囲む非電氣的ニッケル層の表面と接触することを可能とする。

図5 eは、ポリマバンプ24、ニッケル層36及びパシベーション層34上の金属層40をスパッタする次の工程を示す。層40は第1のチタン層と、その上の金属と更にその上のチタン層とを含む。一実施例において、例えば、層40は700 Å（オングストローム）のチタン層、その上の200 Åの金属、更にその上の700 Åのチタン層とを含む。

図5 fは広く知られたプロセスを示す。層40上に、パターニングされたフォトレジスト層42が用いられる。フォトレジスト層42の開口は、集積回路チップ上の接続パッドのための本来のチップパシベーションの開口と少なくとも同じ大きさでなければならない。上層のチタン層が、汚染されていないスパッタされた金を露出させるために除去される。金属層44が、その後、図5 gに示すように

、フォトレジスト層42によって覆われていない層40の部分の上に、電気プレーティングされる。本実施例においては、金層44およそ2 μ mの厚さに電気プレーティングされる。フォトレジスト層42は、その後、図5hに示すように、層40を露出させるために除去される。

スパッタ又は蒸着を用いたサブトラクティブ(subtractive)なアプローチは、また、ポリマバンプ24上に金属化層26を形成する。サブトラクティブなプロセスは、蒸着又はスパッタリングにより、所望の厚さに、基板の全表面上及びICチップ12のポリマバンプ表面上に金属をデポジットすることからなる。次の工程は、柔軟性バンプ10となるべきものの上にエッチマスクを用いて、フィールド金属をエッチして除去することである。サブトラクティブな技術は

少ない工程であり、典型的な集積回路の製造設備において利用できる設備によって行うことができる。しかし、これは、要求される金属の厚さが蒸着サイクルを長くし、真空蒸着プロセスにおいて消費された大部分の金属が除去されてしまうので、費用のかさむ方法である。

図5iは、最終的にパシベーション層34及び結果として完成された柔軟性バンプ10のみを露出させるための、層40の除去を示す。この最後の工程において、チタンは開口領域から除去され、その後、電気メッキされた金によって覆われていないスパッタされた金もまた除去される。その後、最下層のチタンがエッチして除去される。電気メッキされた金の小さな断片が同様に除去されるが、主要部分は残される。層40をエッチ除去するために、チタンと金を選択的にエッチしその後チタンをエッチするための異なるエッチャントが用いられるか、又は、層40の金に対し最低限にしか作用しない1つのエッチャントが用いられる。

図6aないし図6hは、基板の導体に関連してチップ全体へのバンピングの必要性をなくした、本実施例のフォトイメージ可能なプロセスをどのように実行するかを示す好例のプロセスフローを表す。図6aを参照すると、基板12上に第1のプレーティングされた相互接続層52が用いられる。次の工程は導体のパターンを規定するためにフォトレジスト層56を用いることである。銅のトレース層54が、図6aに示すように、次に用いられる。銅のトレース層54は基板5

0のためのトレース及び接続パッドを形成する。銅のトレース層54を用いた後、フォトリソ可能なポリマ層38が図6bに示すように用いられる。光学的なパターンが、この後、ポリマバンプ24を除く全てのフォトリソ可能なポリマ層38を除去するように用いられる。ポリマバンプ24は、図6cに示すように、銅のトレース層54に取付けられる。フォトリソ可能なポリマ層38のための光学的なパターンは、ポリマバンプ24に特

有の直径を制御する。典型的な最小の直径はおよそ $25\mu\text{m}$ である。これは、日常的な処理におけるバンプの非プレーティング又は損傷の可能性を最小にする。しかし、フォトリソ可能なポリイミドプロセスを用いることにより、より小さい直径を達成することができるであろう。必要であれば、直径 $10\mu\text{m}$ のバンプのパターンが形成できるであろう。

殆どのフォトリソ可能なポリマはまたキュア中に50%も縮小する。この結果、上表面14上に僅かなディスク形あるいは凹みが生じる(図1参照)。しかし、ボンディングプロセスにおいて、上表面14は接合(mating)表面の形状に合致する。

図6aないし図6cはポリマバンプ24を形成するために、フォトリソ可能なエポキシを使用することを示しているが、この目的のためには、他の可能なプロセスとして、プラズマエッチプロセスがある。プラズマエッチ処理において、ポリマ材料が基板12の上に被覆されてキュアされる。エッチマスクがエッチパターンを決める。エッチ材料は、フォトリソグラフまたはウェットエッチングのいずれかによってパターン付けされる所の、フォトリソでつくられた腐蝕可能なマスクあるいは金属ハードマスクであるだろう。エッチマスクがイメージされた後に、この材料はエッチされ、そしてバンプが形成される。

ポリマバンプ24を形成するドライエッチプロセスに利点と欠点とがある。ドライエッチの1つの利点は、側面部16を形成するポリマバンプ24の形状が、プロセスパラメータを調節することによって変更され得ることである。このアプローチにおける1つの問題は、他方において、アスペクト比が大きいことが、このプロセスを達成する上で困難の1つとなっている。これは、材料の厚いフィル

ムをエッチングする際にハードマスクドライエッチプロセスにおいて高い度合いのアンダーカットが生じることに起因している。ポリマドライエッチプロセスのためのエッチレートは毎分0.5から2.0 μm である。したがっ

て、厚いフィルムのためには、このエッチプロセスは、長たらしいものであり、高価であり、スループットが低い。

このポリマのウェットエッチ処理は、ドライエッチ処理と同様であり図6 aないし図6 cのフォトイメージ可能な処理に代わる第2の代替案を提供する。ウェットエッチ処理において、ウェットケミカルエッチは、ドライプラズマに代わってエッチパターンを与える。この材料は基板50上に被覆され部分的にキュアされる。フォトリソが次いでこのポリマの上に被覆され、露光され、現像される。このフォトリソはエッチマスクを形作っている。このポリマは次いでエッチされ、バンプに形成される。

ドライエッチ処理と比較して、このアプローチへの利点は、コストの高いエッチング処理が一般的に不安であり、この工程を完成するに当たってのステップが少ないことである。しかし、チップの形状によっては、このアプローチの使用が制限されるかも知れない。更に、このアプローチを用いる際の非常に大きいアスペクト比が製作を困難にする。ウェットエッチ処理における他の制限は、側面部16の形状がウェットエッチ材料によって容易には変更できないことである。このアプローチは、他方で、バンプの高さの均一性を非常によいものにしている。

図6 dは、銅層54上への電気プレーティングのニッケル層58を形成した次のステップの結果を示している。ポリマバンプ24は非導電性であることから、当該ポリマバンプ24にはニッケルプレーティングされないことが注意されるべきである。ニッケル層58は、すべての露光された銅表面に、この実施例においては、2 μm から8 μm の間の厚さに電気プレーティングされる。非フリップチップコンポーネントのためにワイヤボンディングあるいはソルダリングするのに適当なものである。

この実施例のために、いくつかの処理上のオプションが、ポリマバンプ24

上に金属化層26を形成するために利用される。ポリマバンプ24の金属化は、通常のPCB技術、スパッタを用いるサブトラクティブ金属化あるいは蒸着を用いる直接的ウェット金属化工程によって、あるいはプレーティングマスクを用いるスパッタまたはエバポレーテッドプレーティングバスを用いる追加プロセスによって達成される。

図6eは、ニッケル層54とポリマバンプ24上に、非電気の金の非電気形成層60を形成する、好ましいプロセスを行った結果を示している。この実施例においては特定のフォトリソがレジスト活性のために選ばれる。結果として、非電気の金のみが電気プレーティングされたニッケル54とポリマバンプ24の上にプレーティングされる。図6eのステップを得る他の可能な技術は、それが被覆されバンプが形成される前に、触媒パウダーをポリマと混合することである。このパウダーは、金属化のための手段の1つとして、非電気プレーティングを始動する。

付加的な電気プレーティングプロセスがまたポリマバンプ24を金属化するために用いられる。この電気プレーティングのアプローチは、薄い（コンプライアンスのために典型的には金の）プレーティングバスがデポジットされ、典型的にスパッタされ、そしてプレーティングマスクがプレーティングされるべき所望な領域を限定するために用いられることが要請される。所望な領域に電気プレーティングが行われた後に、プレーティングマスクやプレーティングバスが取り除かれる。電気プレーティングを用いるこの付加的なプロセスは、PCB技術に普通に用いられる装置を用いて行うことができる。この方法は、蒸着あるいはスパッタサイクルが短く、非常に僅かな材料がエッチされ、そしてしたがって最終エッチプロセスにおいて失われることになることから、パターンエッチングよりもコストの面に効果的である。この好ましい実施例では、したがって、金属層40の非電気デポジションに続いて電気プレーティングプロ

セスが使用される。

図6fは電気プレーティング金属62の次のステップの結果を表している。金は、通常の利用可能な浴を用いて、応用分野に応じて、平方フィート当たり約8ア

ンペアの電流密度で、ワイヤボンディングのための好ましい厚さに、層62を形成するよう電気プレーティングされる。金属62と層60との組み合わせは、図2ないし図4の金属化層26を形成する。ポリマバンプ24上でのプレーティングレイトは層60の平坦部またはボンドパット上でのプレーティングレイトよりも4倍ないし6倍遅いものとなるだろうことを注目すべきである。これは、ポリマバンプ24上の薄い金にくらべて厚い銅-ニッケル-金パッドとトレースが異なった導電率をもつことによる。結果的に、金属化層26は、その厚さがどこかで約 $3.0\mu\text{m}$ である場合に、ポリマバンプ24上で約 $0.5\mu\text{m}$ から $0.8\mu\text{m}$ の間にあるだろう。したがって、組合わされた技術による組立体のために、金の厚さを最適化することが可能であるが、一方同時に、柔軟性のために必要とされるポリマバンプ24上の薄い層を保持される。当該実施例においては、例えば、金属化層26は上表面14（図1）に基板ボンドパット20から導電性を与えるために十分な厚さとなるように選ばれるが、一方、同時に、ポリマバンプ24の柔軟性と可撓性とが相殺されるような十分に薄いものとされる。

上述の如く、図6dないし図6fよりも他のステップが金属化層26を形成する上で採用され得る。例えば1つの代替は、ウエット金属化プロセスである。直接ウエット金属化において、PCB技術における標準技術が用いられる。このプロセスは、ポリマバンプ24へプレーティング触媒を供給することと、ポリマバンプ24とニッケル層54との上に金の如き延性のある材料を非電氣的プレーティングすることから成り立っている。ウエット金属化プロセスは、パーツの高いスループットを許しかつ真空製造ステップを必要としない。

図6gと図6hは、本実施例の構造の最終のものにする。ここで、図6gはフォトレジスト層56を取り除いたステップを示している。この結果、ポリマバンプ24とボンドパット20との両方を覆う金属化層26をもつポリマバンプとなる。図6hが示す次のステップにおいて、プレーティング相互接続層52が、銅トレース層56を下敷きにするために、追加プロセス基板の処理における慣例の方法でエッチバックされる。この結果で、基板12の露出とインデント（indented）領域を得るための或る程度のアンダカットされたものとが得られる。

図7 aないし図7 1は、信号線7 2とボンドパット7 4との側壁上にニッケル被覆を形成する。二重レジストプロセスを使用することを示している。図7 aを参照して、基板1 2上に、プレーティング相互接続6 4が先ずデポジットされる。プレーティング相互接続6 4の上に、Bステージキュアドポリアミックアシッド(B-stage cured polyamic acid)またはポリイミド層6 6が作られ、ついでフォトレジスト層6 8がつくられる。

フォトレジスト層6 8はついで、図7 bが示す如く、所望されるパターンにプレーティング相互接続6 4を露光して、フォトレジスト層6 8とBステージと、キュアドポリイミド層6 6とを下方に通る開口7 0を生成するようにパターンづけされる。犠牲にされるBステージポリイミド層6 6は感光性ではないが、レジスト現像液に溶けることができる。したがって、それは、このステップにおいて取り除かれる。しかし、一般にフォトパターニングの後に、ポストベーキング(post baking)が生じることは注意すべきである。

開口7 0のパターンは、所望のボンドパッドと電子回路装置のための信号線と合致している。フォトイメージングと現像の後に、基板が“ポストベーク”される。これは、フォトレジストとポリアミックアシッド(又はポリイミド)層6 6のキュアを完全にする。このポストベークの後には、この薄いポリアミッ

クアシッド(又はポリイミド)層6 6は、もはや、フォトレジスト6 8のストッパの中で溶け得ない。図7 cは、したがって、開口7 0の中で銅信号線7 2とボンドパッド7 4とが形成され得ることを表している。フォトレジスト層6 8はついで、図7 dが示す如く、取り除かれる。

ポリマバンプ2 4は、ついで、記述される如く、そして図7 eと図7 fとが示す如く、形成される。本実施例のこのポリマ層は好ましくはフォトイメージ可能なポリイミドまたはウエットエッチ可能なポリイミドである。図7 gを参照して、ニッケルが、銅信号線7 2と、そしてボンドパット7 4のその部分がバリヤ層7 6を形成するためにポリマバンプ2 4によってカバーされないボンドパット7 4の部分との上に、電気プレーティングされる。バリヤ層7 6は、近接のパーツへの半田づけあるいはワイヤボンディングを行う表面マウントを必要とする応用

分野のために好ましいものである。バリヤ層76は、ポリイミドが導電性でないことから、ポリマバンプ24上にプレーティングされないことは注意すべきである。

次のステップは、図7hが図示している如く、バリヤ層76とポリマバンプ24とを触媒によって変化させるステップである。次いでBステージポリイミド層66が装置のすべてのパーツから取り除かれる(図71)。これは、バリヤ層76とポリマバンプ24とを覆う部分を除いて、すべての触媒を取り除く。金がついで、非電気プレーティング層80を形成する触媒を用いて、バリヤ層76とポリマバンプ24との上に非電気プレーティングされる。

図7jはこのステップの結果を表している。2つのフリップチップ装置を含む応用分野のために、同様に、2つのフリップチップ装置と表面マウント技術とを含む応用分野のために、柔軟性バンプの形成を完全にすべく金を2ミクロンの厚さにプレーティングし、プレーティング相互接続64を取り除く(図71参照)ことが好ましいことに注目されるべきである。一方、フリップチップ

とワイヤボンドされた装置とを用いる組立体のために、非電気金プレーティングを約100オングストロームだけプレーティングし、次いで、図7kに示す如く、金を電気プレーティングすることは好ましいことである。フリップチップとワイヤボンディングとを用いる装置において、金は、ポリマバンプ24上の100オングストロームの金のより高い抵抗に起因して、ポリマバンプ24上よりも、信号線72とボンドパッド74上で、より早くプレーティングされるだろう。非電気プレーティングされた金属層80上において電解的に金82をプレーティングした後に、プレーティング相互接続64が取り除かれる。

図8は、本発明にしたがって形成されかつフリップチップを含む組立体100を示す。フリップチップ102は接続トレース104をへて柔軟性バンプ10に接続される。接着材106は、非導電性であり、フリップチップ102を柔軟性バンプ10が圧縮された状態で保持する。接着材106は、ボンデングサイクルの間に押し出される少量のものがダイ(die)の端に滑らかな流れをつくるように出来上がった基板ボンデング場所に、好ましい形で与えられる。接着材106は

、柔軟性バンプ10と接続トレース104とを完全には覆わないように、パターンづけられあるいは選択的に与えられるかも知れない。接着材106は、サーモプラスチック、サーモセットプラスチック、あるいは他の接着形のものであるだろう。例えば、接着材106は、サーモプラスチック粒子と、熱伝導性を向上するためのアルミナ、アルミニウムナイトライド、ダイヤモンドまたは他の粒子を含む揮発性流体との混合体である所のサーモプラスチックペーストであるだろう。柔軟性バンプ10の金属化層26への接続は、ボンドワイヤ108で行われる。ボンドワイヤ108はワイヤボンドされたチップ110へ接続される。ワイヤボンドされたチップ110は、したがって、柔軟性バンプ10を通して、フリップチップ102に接続される。

本発明において実施されることは必ずしも必要ではないけれども、本実施例

において、柔軟性バンプ10の熱膨張（CTE）係数は、金属化層26とポリマバンプ24との厚さを注意深くコントロールすることによって、サーモプラスチック接着材の熱膨張係数と等しくつくられるだろう。ポリマバンプ24と金属化層26との熱膨張（CTE）は、ポリマバンプ24が十分に柔軟で、金属化層26の拡大率の不一致を乗り越えることから、等しいものであることは必ずしも必要ではない。

組立体100を形成するに当って、基板12とフリップチップ102とは、ボンディングサーモード(bonding thermode)と基板12との上のフリップチップ102と共に、適当なフリップチップボンダ上に置かれる。このサーモードと基板12とは、ボンダのプラテン上の、柔軟性バンプ10と接着材106とを含んでいる。ボンダパッド105は、柔軟性バンプ10と整列され、プラテンの傾きは、フリップチップ102と基板12とが並行になることを保証するように調整される。フリップチップ102は次いで基板12上の多数の柔軟性バンプと接触するように押圧される。フリップチップ102は次いで所定の程度まで柔軟性バンプ10が変形されるだけの十分な力で押圧される。このプロセスの間、その変位を容易にするように、接着材106は半液体状態にするために、熱を加えることが必要となるかも知れない。熱あるいは紫外線エネルギーを追加的に供給すること

によって、接着材106はキュアされる。代わりに、接着材106がサーモプラスチックである場合には、熱を取り除くことが接着材106を固めることになる。

組立体100を形成する力が柔軟性バンプ10に対して圧縮負荷の下で加えられる。更に、接着材106の収縮がキュアあるいは続く冷却の間に生じる。この圧縮負荷や収縮によって、フリップチップ102の電極が柔軟性バンプ10と接触した状態にとどまることを保証される。この印加される圧力は、チップ上のすべてのバンプについての全フリップチップバンプ10の上表面の面積

の関数である。1つの製作に当って、印加される力が平方インチ当りのフリップチップ102の全バンプ表面面積に20,000 psiを乗じたものに等しかった際に、良好な結果が得られた接着材106のキュア時に関連するサーモプラスチックペーストの揮発性成分を蒸発するために熱が加えられるかも知れない。接着材106に熱を加える際に、沸騰されないような十分に低いレベルに熱を保つことが必要である。これは、沸騰によって接着材のボンドライン中にボイドがつかわれ、組立体100を失敗のものにするからである。例えば、本実施例においては、組立体100の温度は、サーモプラスチックを溶かすに十分な高いレベル、即ち、約250℃の温度にまで上昇する。組立体100は、したがって、ボンド圧力が取り除かれる前に90ないし100℃に冷却される。ボンド圧力を取り除くことは組立体100の組上げプロセスを完全にする。

図8の組立体100の形成において、接着材106の弾性率は、適正に十分限定された温度範囲を超えて、柔軟性バンプ10のそれよりも上にあるべきである。サーモプラスチックのモジュラスが一般に関連するガラス転移温度 T_g よりも高い温度において減少し、かつポリマバンプ24が、好ましくも、70°から125℃の範囲での T_g 値を持つことから、組立体が使用するサーモプラスチックは、好ましくも、製品の最終組立体の最大供給温度のそれよりも低くない T_g をもっている。例えば、接着材106として用いられる半結晶サーモプラスチックは、少なくとも65°から75℃の T_g をもつべきである。同様に、接着材として用いられる非結晶サーモプラスチックは、150℃の T_g をもつべきである。

。更に特に、接着材106として用いられる半結晶サーモプラスチックスは、PBT、ナイロン6、ナイロン6／6、ナイロン6／12、ナイロン12とポリエーテルケトンとを含んでいる。これらの接着材は、接着材の結晶性に依存して、185°から310℃の範囲の T_m と共に、65°から140℃の T_g 値をもつ。接着材106として良く働く非結晶サーモプラス

チックスは、ポリスチレン、ポリエーテルミド、ポリエーテルサルフォンとポリイミド、シロキサンを含んでおり、これらは125°から150℃の範囲の T_g 値をもっている。

多数の成分と代替物が図5aないし図8の構成を形成するためにつくられるが、次のテーブル1は、製作者、パーツナンバ、特定の成分、本実施例の1つの製作品での大略の厚さをかかげている。

テーブル1

成 分	厚 さ	製 作 者 / 記 事
1. フォトイメージ可能 ポリマ (38)	30 μ m	シブレイ X P 9 1 - 1 1 1
2. ニッケル層 (36, 76)	2 - 8 μ m	シブレイ
3. アクチベータ	-	シブレイ 4 0 4
4. 触媒 (78)	-	シブレイ 4 4
5. アクセラレータ	-	シブレイ 1 9
6. 非電気金 (60, 80) (又は、チタンある いはパラジウム)	0. 5 μ m	シブレイ -
7. 電気プレーティング 金 (44, 62, 82)	8 A 電流 密度	セルレックス又はレアロ オーラルポタジウム-金 シアナイド
8. 接着材 (106)	-	スタイスチック 3 0 1 - 非添加、又はスタイスチ ック 2 0 1 アルミナ添加

図9は、柔軟性に不利な影響を与えないで柔軟性バンプ10の物質的特性を改善するための1つのプロセスを示している。図9のプロセスは、上述のプロセスのいずれかにしたがって形成された柔軟性バンプ10と仮定する。柔軟性バンプ10と共に、図9のプロセスは、柔軟性バンプ10の全体の高さを超える厚さをもつフォトレジスト層112を利用する。フォトレジスト層112は柔軟性バンプ10の上表面14だけを露光するようにパターンづけされる。次のステップは、上表面14上に第2の金属層114を更にプレーティングすることである。接続するシステムにおけるテストや焼き付けのように多数回の接続や挿入が行われるような適用分野のために、例えば高い耐摩耗性の即ち硬い金属のような第2金属層114を選択することが望まれる。

第2金属層114をプレーティングした後に、プロセスは更に、フォトレジス

ト層112を取り除くようにする。最後のステップは、柔軟性バンプ10の製作プロセスから存在していたプレーティング相互接続層52を取り除くことである。その結果のものが、上表面に物質的特性を向上させた柔軟性バンプである。もしもプレーティング相互接続層52が存在しないならば（即ち、もしも従来の柔軟性バンプ10プロセスが使用され、そして非電気金属化プロセスならば）、第2金属層114はまた非電氣的にプレーティングされるだろうことは注意すべきである。これは、しかし、例えば非常に固くテストや焼き付け接続に適する所の、高燐非電気金の如き材質に材質選びを絞ることになる。

コンポーネントパーツや柔軟性バンプ10を形成する種々の方法について記述したが、如何に本実施例が集積回路チップと関連づけられているかを理解することが有効である。この目的のために、図10はシリコンテストチップウエハ116上に形成された多数の柔軟性バンプ10を示している。図10の構成においては、柔軟性バンプ10が216個の入出力端子をもち150 μ mピッチのシリコンテストウエア上に形成されている。実際に、図10は、本実施例

の柔軟性バンプ10の電氣的物理的性質を決定に当って助けとなる、60チップテストウエハ116の一部を示している。図10のテストチップ116は、1つの完成体においては、デュアルネステットデイジーチェーンパターン(dual nested daisy chain pattern)に接続された216個の入出力端子の柔軟性バンプをもつ、8.9mm \times 8.9mmチップであった。この構成は、各々105個の接続を読み通す2つの抵抗計を用いて、これらの接続を連続的にチェックできるものである。近接バンプの電氣的アイソレーションが、2つのデイジーチェーン(daisy chain)間の抵抗を測定することによって決定される。216個の入出力端子接続において、6個のチップパッドが、表面絶縁抵抗と電氣的マイグレーションテストとを与える3重トラック構成に接続される。これら6個のチップパッドはまた、2つのトラックをヒーティングエレメント（チップ当り全25ワット）としてバイアスしかつ中央トラックをサーミスタとして用いる熱テストを用いることができる。このテストにおいて用いられる基板は、クロム金をスパッタされ、チップ構造を補う公知の基板設計でパターンづけされた所のディスプレイ級のボロシ

リケートガラスであった。

図11は柔軟性バンプ10の弾性を示している。図10のテストウエハを用いた1つのテストにおいては、柔軟性バンプ10は、フリップチップボンダデバイスをを用いて機械的に繰り返された。このテストは、20ないし70 lbf（全バンプ領域上に約20 kpsiないし70 kpsiに等しい）の間の圧縮範囲を用いて1000サイクル行われた。このテストにもとづいて得られた結果から、フリー状態で立っているバンプにおいて約50%の高さ減が得られることが明らかにされた。しかし、金属化層26あるいはポリマバンプ24においてクラックは存在しなかった。3000回の機械的な繰り返しの後にクラック118と120との如き小さいクラックが現れた。このクラック点においても、しかしながら、柔軟性バンプ10は導電性と柔軟性とを保っていた。

本実施例の他の重要な観点は、ドライサイクリングテスト即ち図8の接着材106の如き接着材なしのテストの間に、被テスト物が如何に振る舞うかである。図12は、この性質を調べた1つのテストの結果である。図12のテストにおいて、固体金バンプをもつチップと、柔軟性バンプをもつチップとがコンプリメンティング基板（即ち、クロムと金とをスパッタした金属パッドおよびトレースとをもつ、ソーダライムガラス）に配列され、種々の大きさの力を用いて接着材なしで押下された。このテストに用いられた装置は図10のデイジーチェーン構造と同等のものであった。このテストは、どのような印加力（lbf）が電氣的接続を確立するか決定し、接触抵抗を安定化する力を決定する。これは、バンプの動きを示し、システム中の非平坦性(non-planarity)を妨げる状況を示している。

図12に示される如く、柔軟性バンプは、固体金バンプとの接続のために必要とされる印加力の約1/4で接続が確立する。両バンプは同様の抵抗をもっている。バンプ10をもつテスト容器のための特定の冶金基板は高い抵抗値をもっている。結果的に、ミリオームのレベルの差異と抵抗が、基板内のバルク抵抗によって不明確になっていた。

高温テストにおいて、図4に示す如き柔軟性バンプ組立体と、対応する固体

金バンプ組立体とが任意にテストされた。図10のそれと同様なデージーチェーン構造を通過する抵抗が、組立体が140℃にまでゆっくりと加熱される間、モニタされた、すべての固体金バンプ組立体は65℃と80℃との間で失敗した。一方、柔軟性バンプ10組立体は120℃ないし135℃の範囲に達した温度まで上昇された温度に耐えた。この範囲は、本実施例における接着材106のガラス転位温度よりも十分に上である。135℃まで永もちしたこれら柔軟性バンプ組立体は同じフォースパラメータ(force parameter)を用いて組立てられていた。すべての柔軟性バンプ10組立体は、室温に冷やされた後

に正常の抵抗レベルに戻った。テストされた金固体金属バンプは、反対に、回路が断線し、室温に冷やされた後に適正に機能することに失敗した。

柔軟性バンプ10組立体の更に他のテストにおいて、金固体金属バンプ組立体と図10における柔軟性バンプ10組立体とは、2時間の間、100%相対湿度で121℃にさらされた。この間の実験結果から、固体金属バンプ組立体の50%が失敗し、一方、柔軟性バンプ10組立体の12.5%が失敗しただけであった。その後、その柔軟性バンプ10組立体は商業的に利用可能なシリコンによって包装された。シリコン包装内のこの柔軟性バンプ10組立体は、100%相対湿度で121℃に8時間以上経過しても、失敗したものはなかった。

柔軟性バンプ10を用いる組立体についてのなお更なるテストにおいて、幾つかの組立体に対して再度のテストが行われた。このテスト装置は、溶解液に浸されていない柔軟性バンプ10組立体が溶解液への曝しから保護されていることを確かめるために、部分的に溶解液に浸された。溶解液への浸しは、室温において成功であり、そして、約80℃まで溶解液の温度が上昇することによって加速されることが判った。溶解液への浸しに続いて、基板50と柔軟性バンプをもつチップ12とが傷つけられないまま再使用可能な形で現れた。実際に、このチップと基板サイトとの幾つかは2回再動作された。

本実施例は、したがって、ダイ(die)上でバンプあるいは特殊な冶金学を必要としないように、集積回路チップ上あるいは基板上に柔軟性バンプ10を提供している。これは、商業的に利用可能な集積回路チップ上に本実施例を使用するこ

とを可能にしている。柔軟性バンプ10は、変形の比較的大きい範囲を超えて柔軟に行動し、固体金属バンプの場合よりも、より低い減少された組立体への力を要請するのと同様に、実質的により低い圧力の下で変形する。組立体への力を減少することはまた、集積回路チップへの存在しそうな損傷を減少

し、更に、接着用材料へ要求を減少する。これは、クリープリラクセーション(c reep-relaxation)にかかる接着材の性質を減少する。

柔軟性バンプ10の弾力的な動きを、更に、もしも接着材がクリープリラクセーションにかかっても、電氣的接触が継続することを保証している。これは、好ましい再使用と早いキュア性をもつ接着材が使用できるようにする。本実施例は、例えば、固体金属バンプを使用している回路において十分な強さとクリープレジスタンスを持たなかった接着材でさえも使用できるようにする。例えば、柔軟性バンプ10はサーモプラスチックの使用を扱い易いものにする。これは、サーモプラスチックが熱あるいは光エネルギーを与えてもキュアされないことから、熱あるいは光エネルギーを用いて接着材106をキュアさせる必要をなくする。更に、本実施例は、接触の構造が変わったりまた金属が変わったりしても、それらに独立した最適な接着形式のものを用いることを許している。

本実施例の他の重要な観点は、通常、固体金属バンプ形成技術にくらべての極端なコスト減である。通常、固体金属バンプ形成技術は、通常、パッシベイトされた基板上の薄い金属相互接続層をスパッタする。この基板またはウエハはフォトレジストを用いてマスクされ、金属がフォトレジストであけられた開口内にプレーティングされる。最後に、レジストと金属相互接続とが取り除かれる。この確立されたプロセスは、4インチウエハ上の金バンプの価格として、1993年のドルで、ウエハ当たり約150.00ドルのものとなる。本実施例の柔軟性バンプ10は、反対に高い競争に依存するコストがかかるという、通常、固体金属バンプ技術での問題を解決する。その結果として、柔軟性バンプ10は広い範囲の応用分野のために適している。このバンプは、1993年のドルで4インチウエハ当たり50ドル以下で、標準TABバンピングプロセスと装置とを用いてつくることができる。

柔軟性バンプ10を形成するためのプロセスの流れは、もっとバランスのよ

い広く行きわたった製造プロセスを用いることを可能にする。結果として、典型的な製造リアクタにおいて、実際に、どのステップに対しても、スループットが1時間当たり15ウエハ以下でないものとなる。これは、デュプリケート装置が必要とされる以前に、このような工場における生産量が年50,000ウエハを超えるものにする。本実施例のものを魅力あるものにしていくキーファクタは、全プロセスステップの数と関連する主要な装置コストが標準的な固体金属バンプ形成プロセスが使用するものよりも十分に小さいということである。

本実施例によって形成された柔軟性バンプ10は、熱膨張(CTE)の不一致と湿度吸収とによって生じる所の、紫外線あるいは熱キュア接着材に関連している、Z軸方向への移動という問題を解決している。本実施例は、電気的接触を保持するための圧縮を柔軟に受止める。柔軟性バンプ10はまた、曲がりかつねじれた基板の影響を減少し、同様に、パッドの高さの不均一による影響を小さくする。

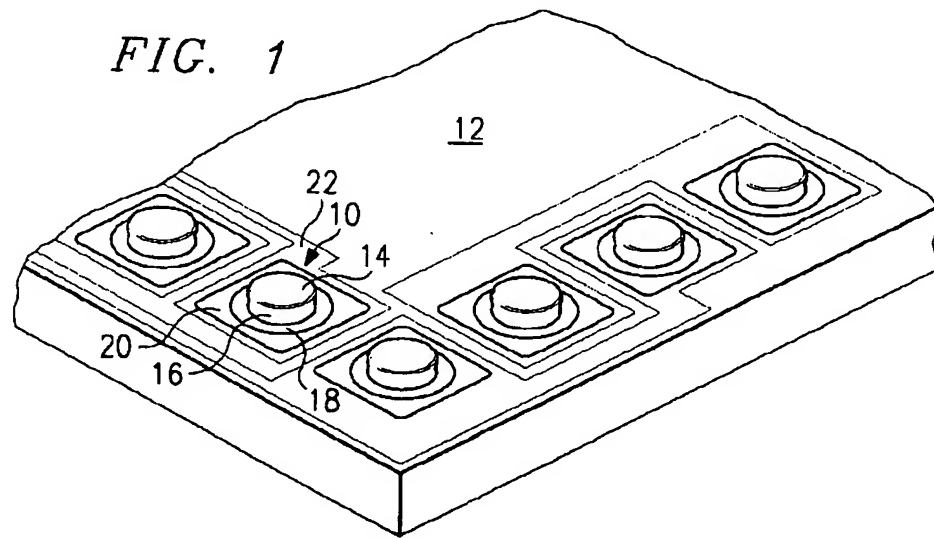
性能と信頼性について高いレベルが望まれるような場合において、シンギュレーテッド集積回路ダイ(die)あるいはフルウエハと完全に互換性をもつ所のマスクレスチップ準備プロセスを用いることが可能である。このプロセスは、例えば、Mullerのそれであり、金バンプ金属とアルミニウム集積回路チップ金属との間を直接接触することを省略するように、集積回路チップアルミニウムボンダパッド上に、ニッケルあるいは金層を与える。この実施例は、基板のプロセスについて実質的な追加プロセスを必要とせず、典型的な、フリップチップマルチチップモジュール設計の基板を製作するに当って用いられるプロセスと互換性のある技術を利用する。この実施例は、従って、マルチチップモジュールやディスプレイの製造者が現在存在するチップバンプ技術を使うよりも数年早く、彼らが接着用フリップチップ組立体技術における大きさと性能との上での利益を評価することを可能にする。このことは、フリップチップ技術の有

用性を高密度ガラス上チップや他の重要な応用分野にまで伸ばすことを意味する

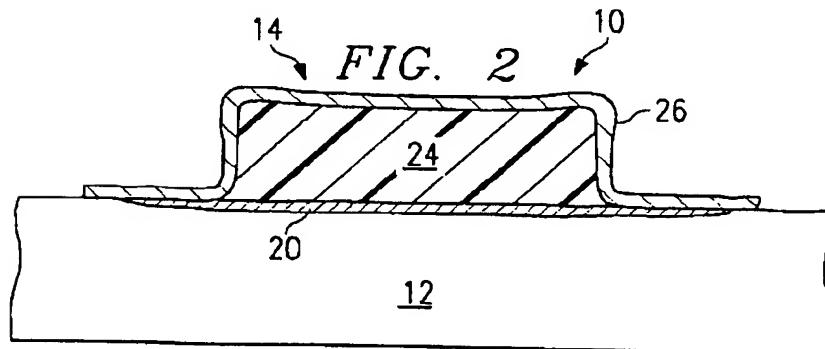
。

最後に、本実施例は詳細に記述されたが、多くの変更と置き換えと代替とが本発明の精神と範囲とを離れることなしになされ得ることは理解されるべきである。上述する実施例は、図示の目的で記述されているけれども、多くの置き換えが可能なことは当業者において明白である。以上の如く、本発明は後述する特許請求の範囲の範囲によってのみ制限される。

【図1】

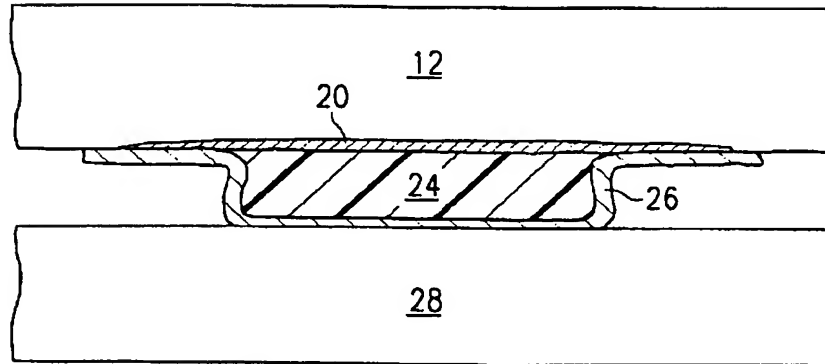


【図2】



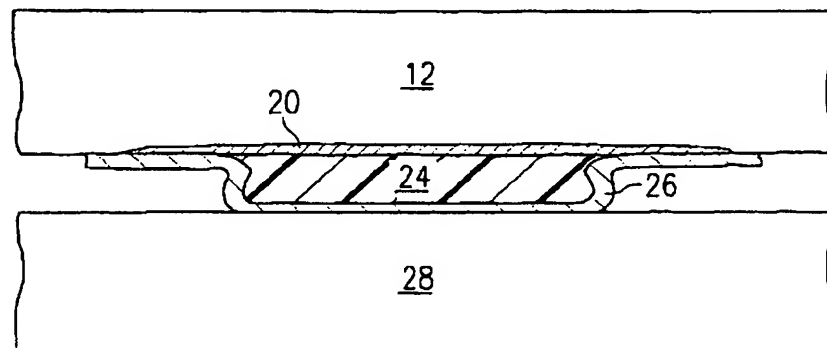
【図3】

FIG. 3

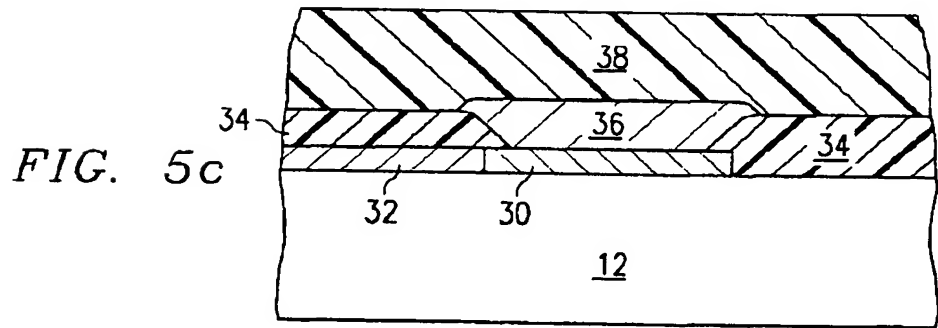
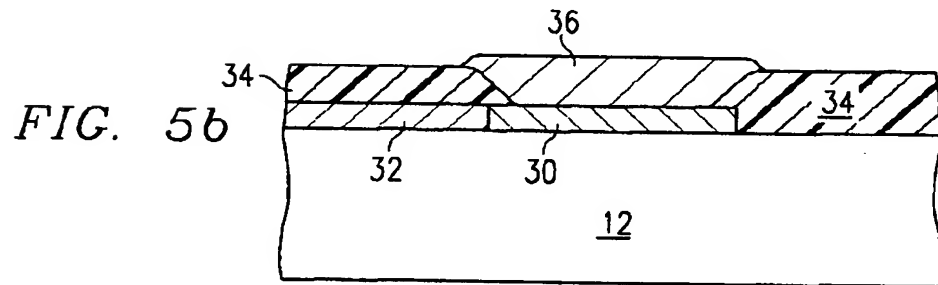
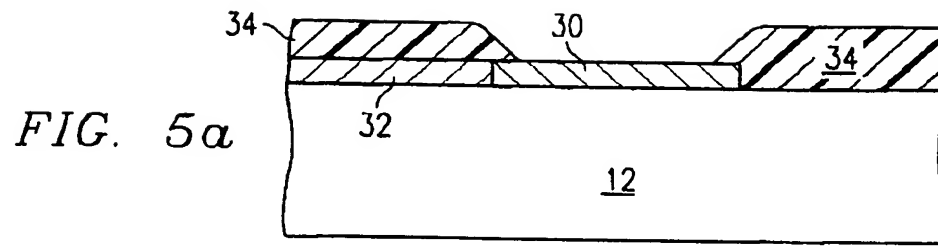


【図4】

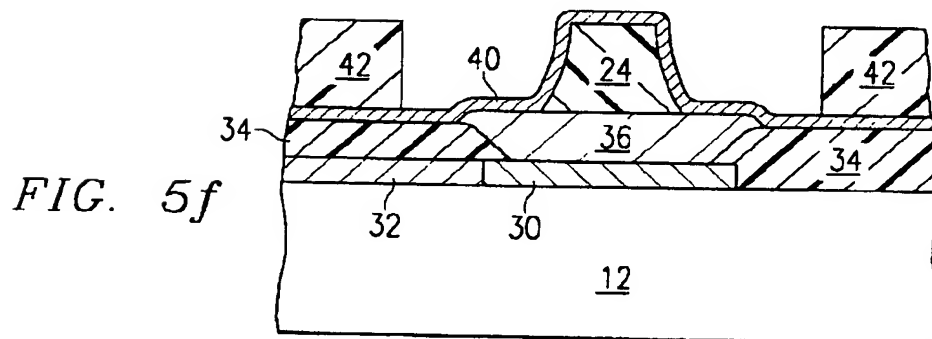
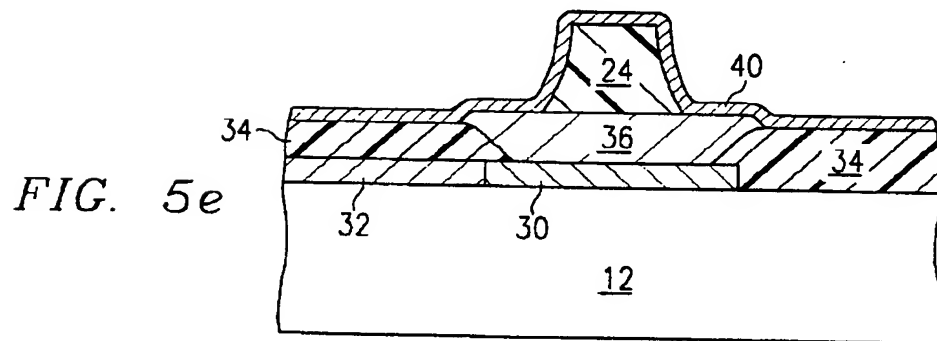
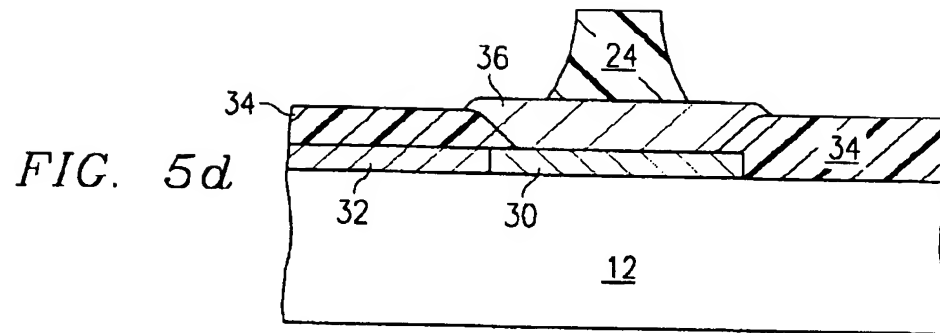
FIG. 4



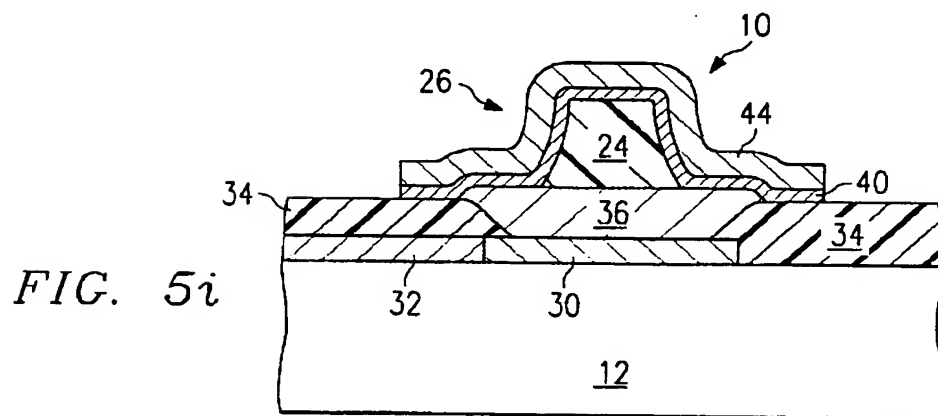
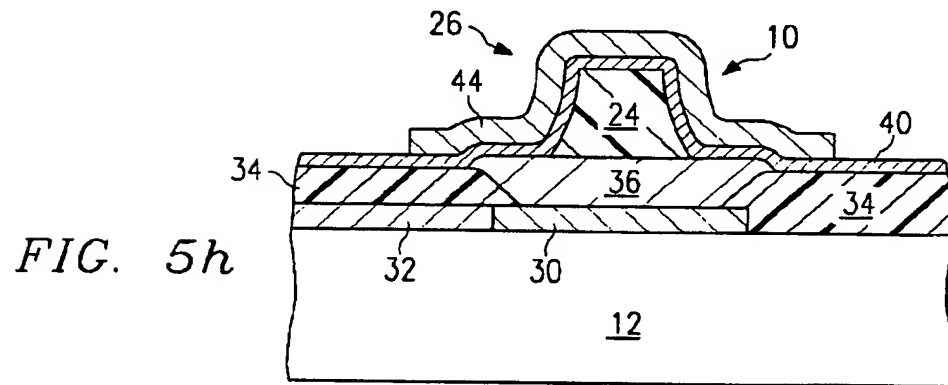
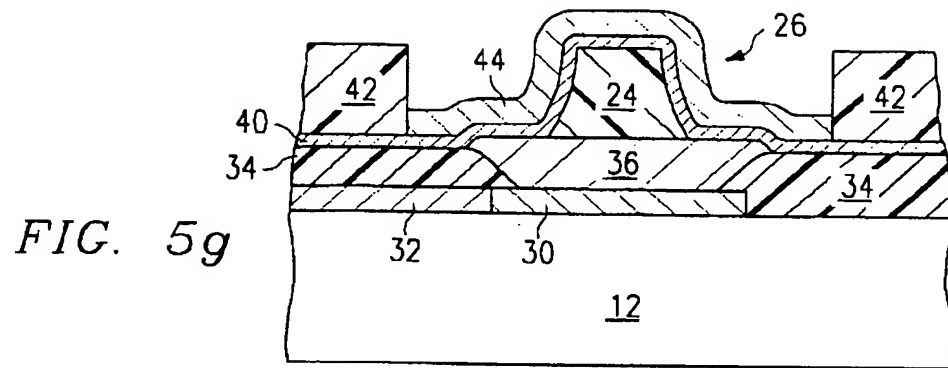
【図5】



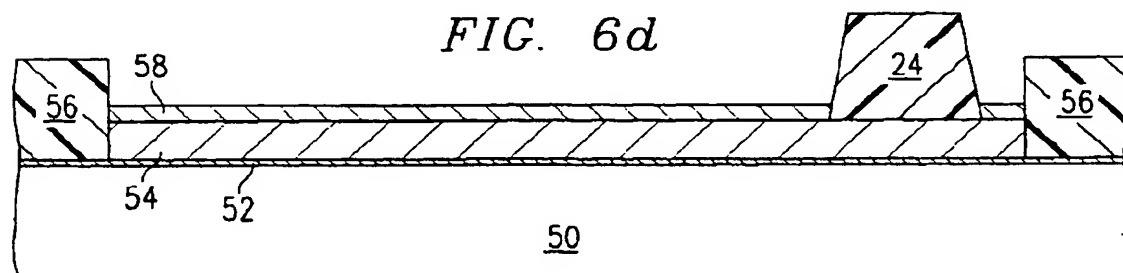
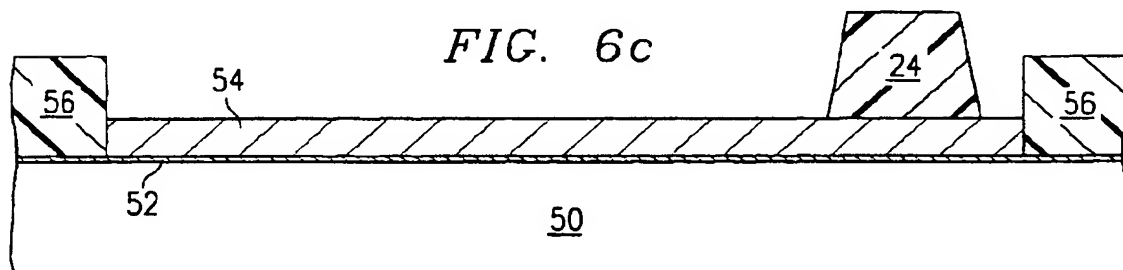
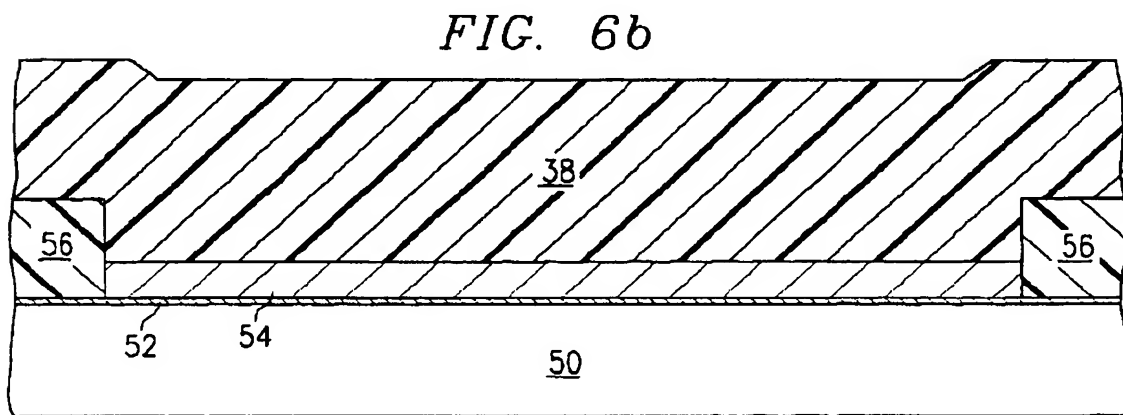
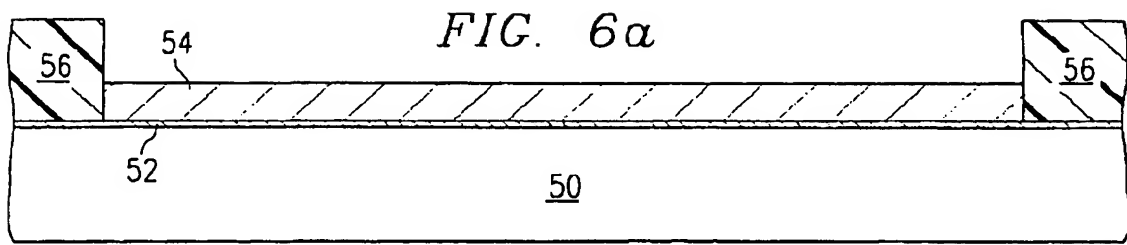
【图5】



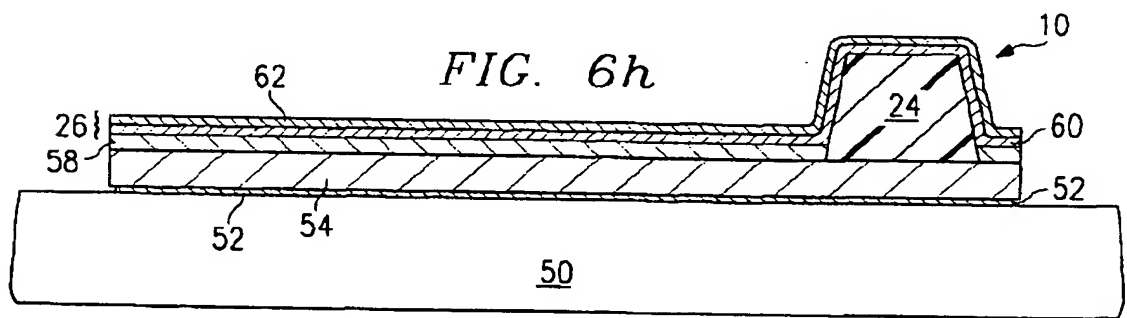
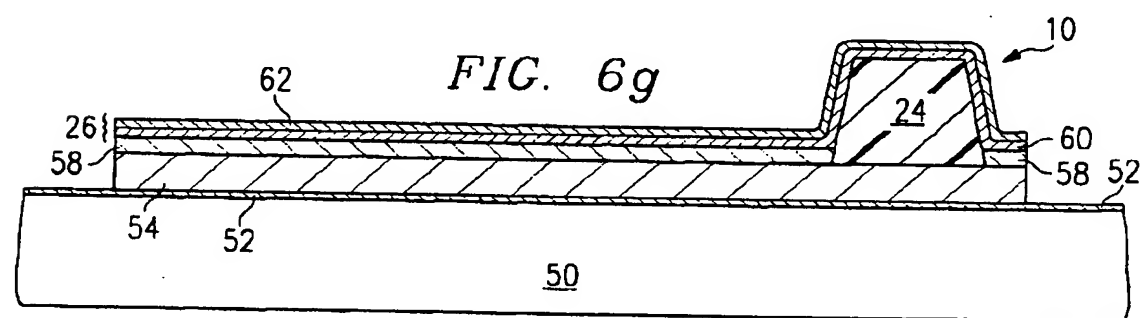
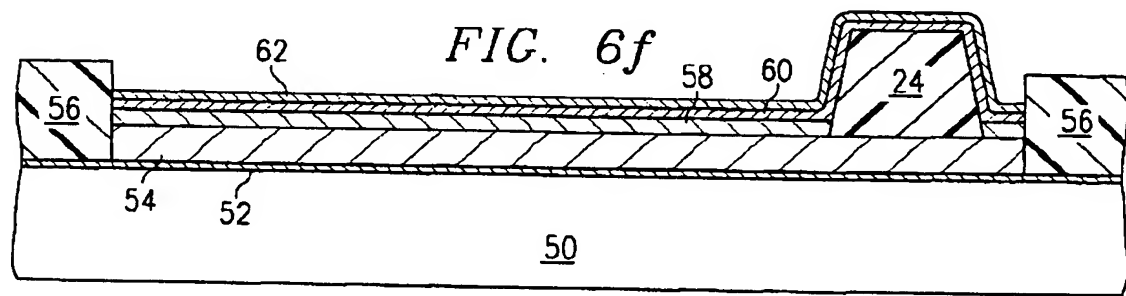
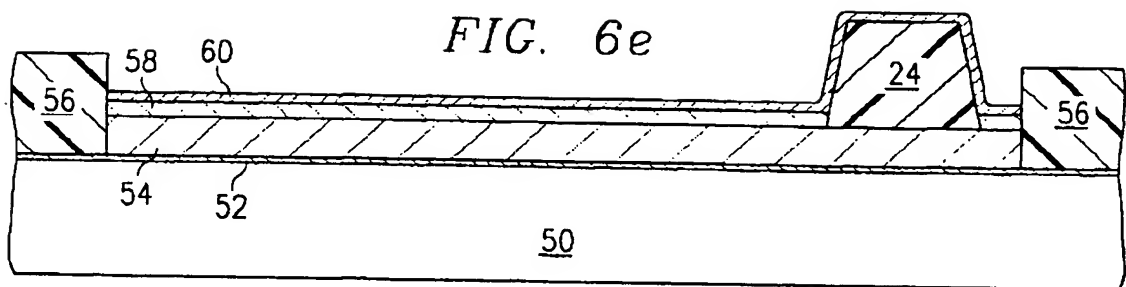
【図5】



【図6】



【図6】



【図7】

FIG. 7a

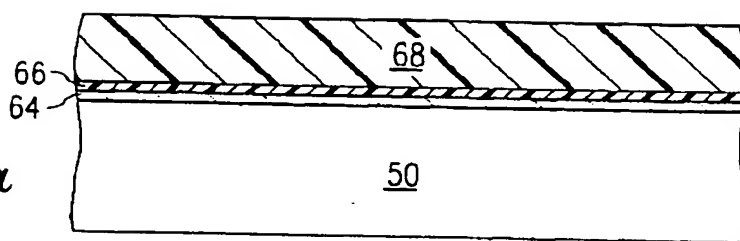


FIG. 7b

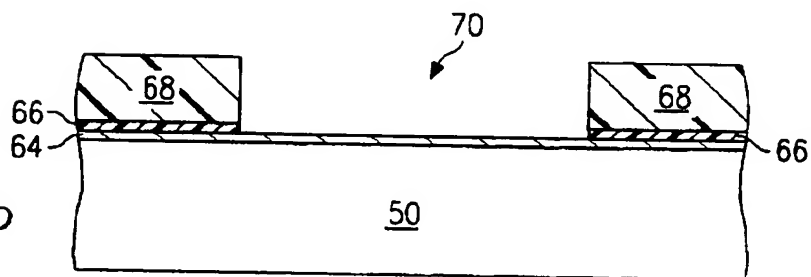


FIG. 7c

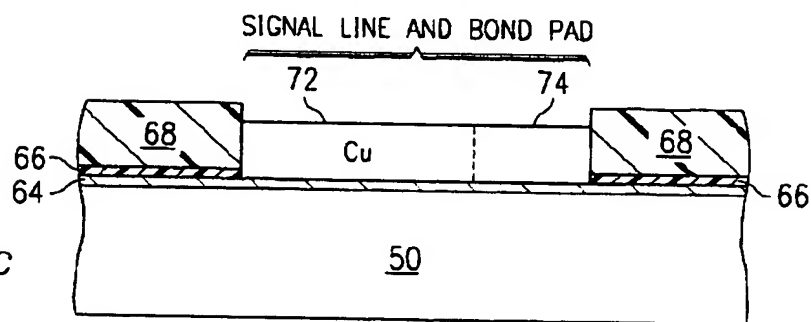
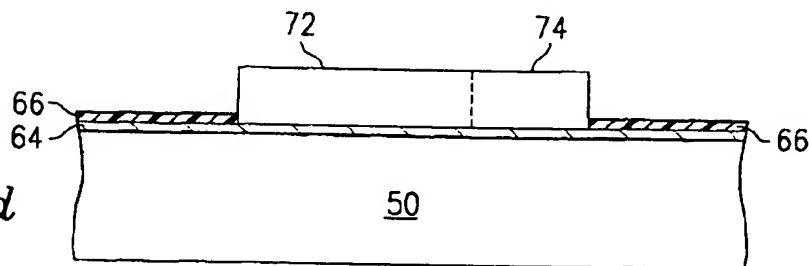


FIG. 7d



【図7】

FIG. 7e

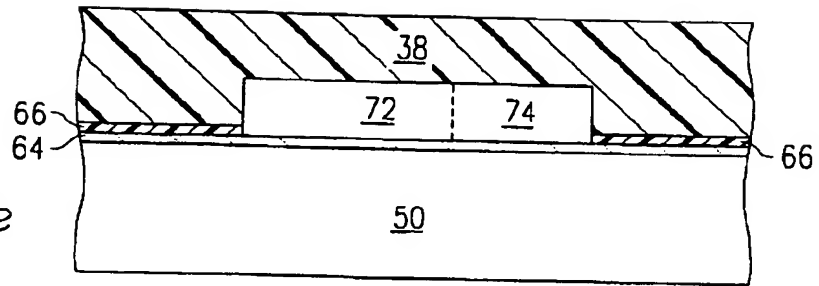


FIG. 7f

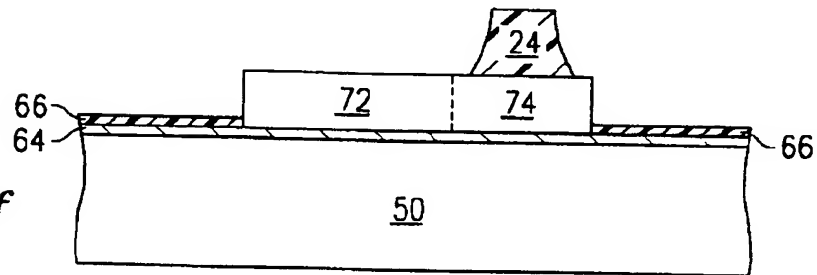


FIG. 7g

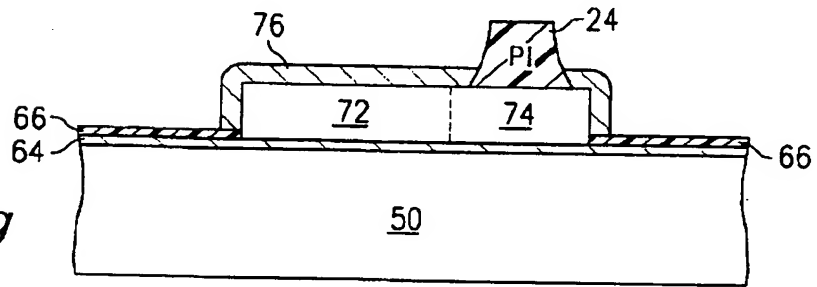
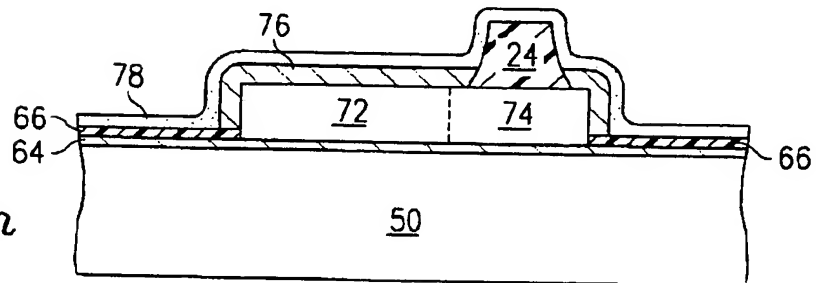
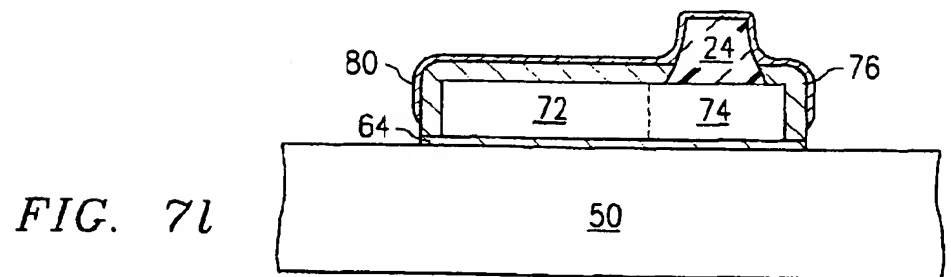
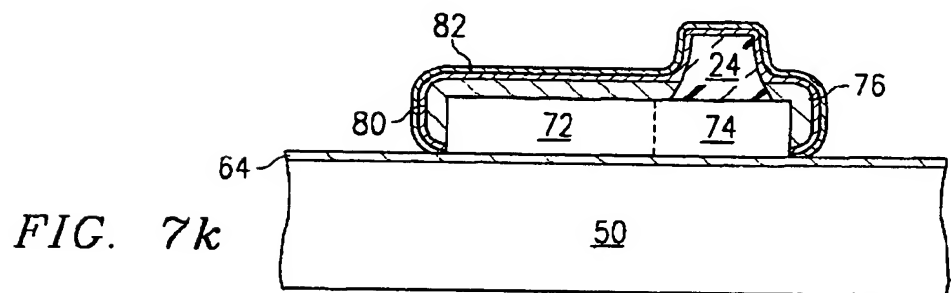
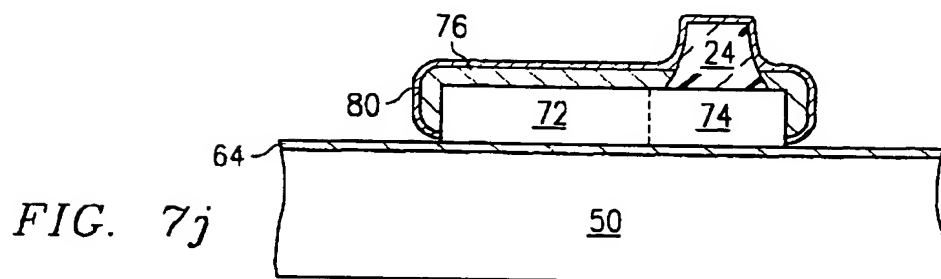
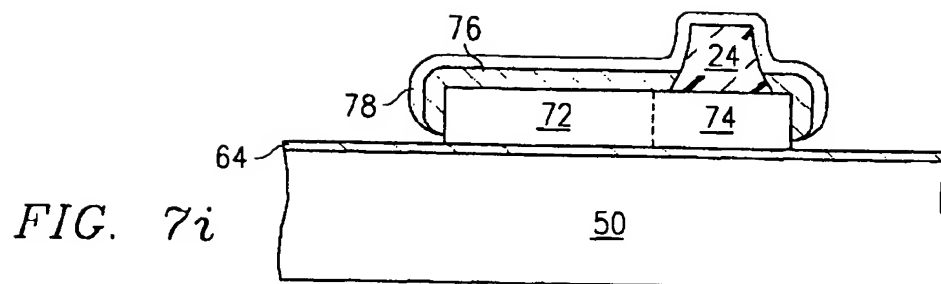


FIG. 7h



【図7】



(43)

【図8】

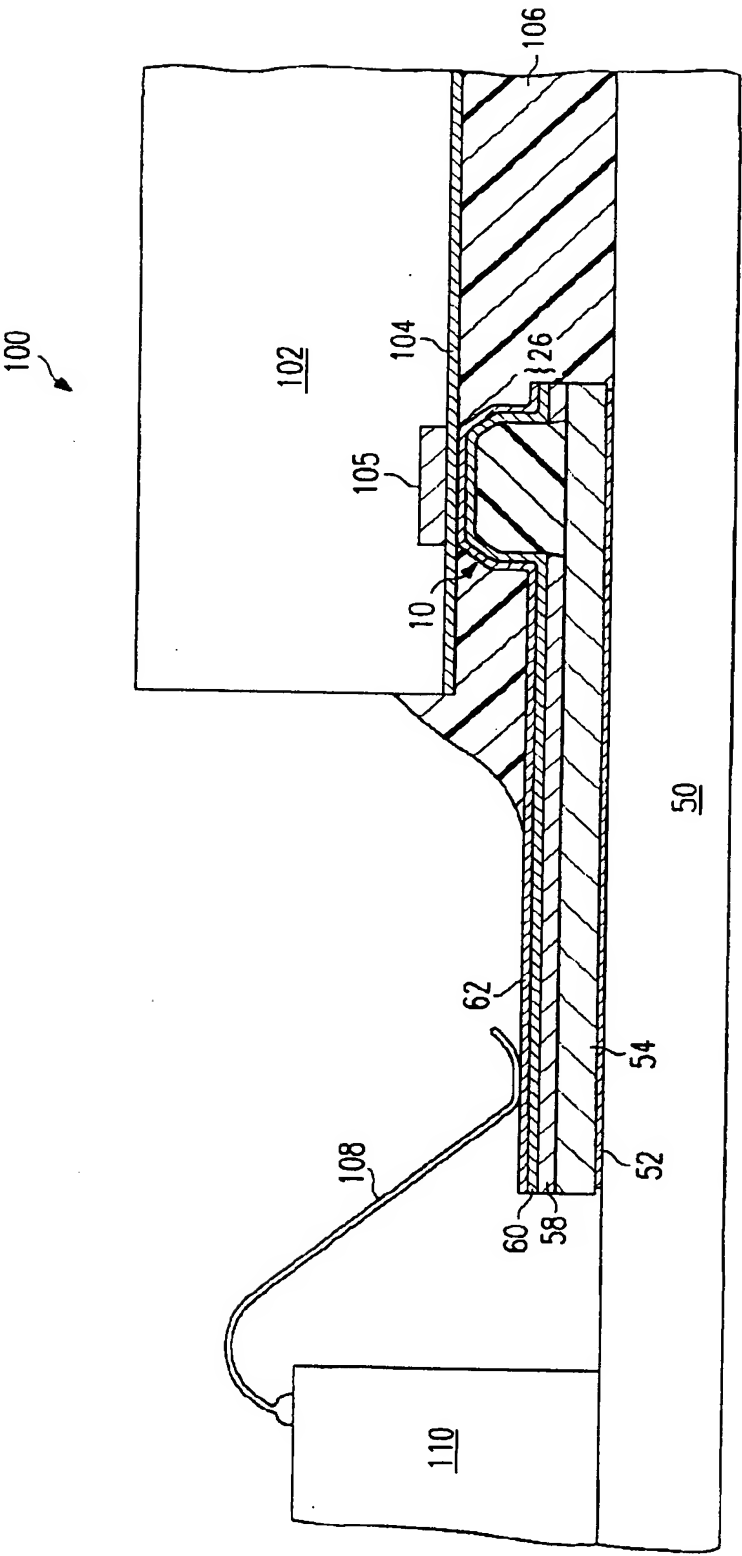
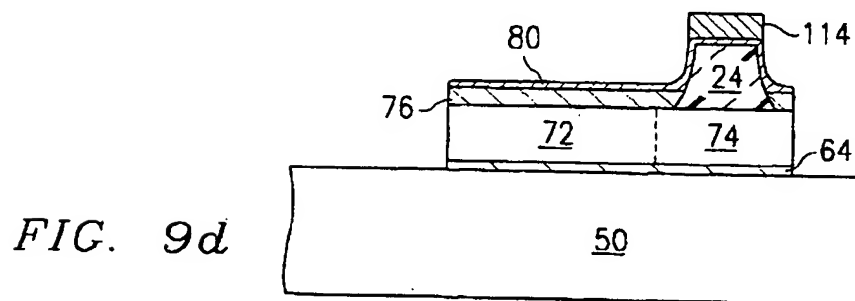
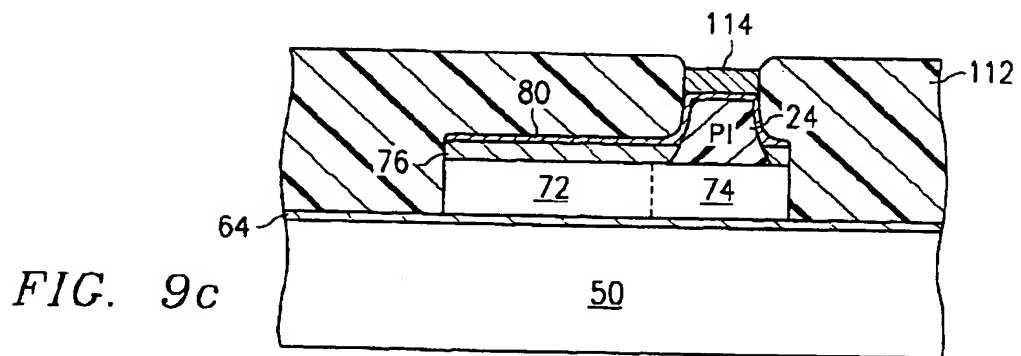
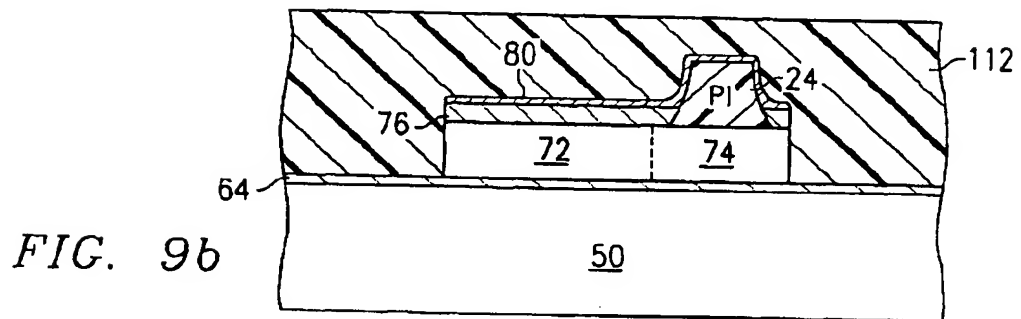
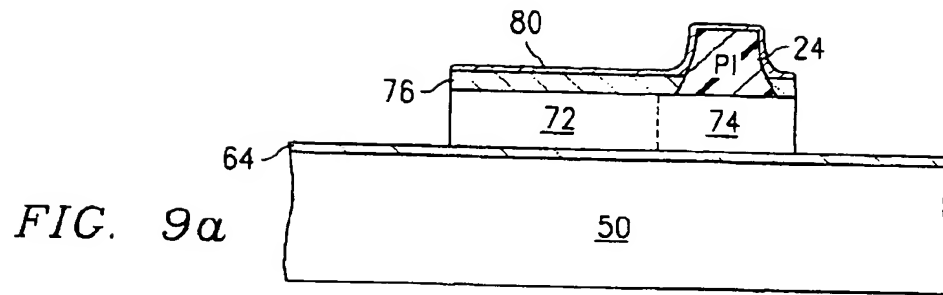
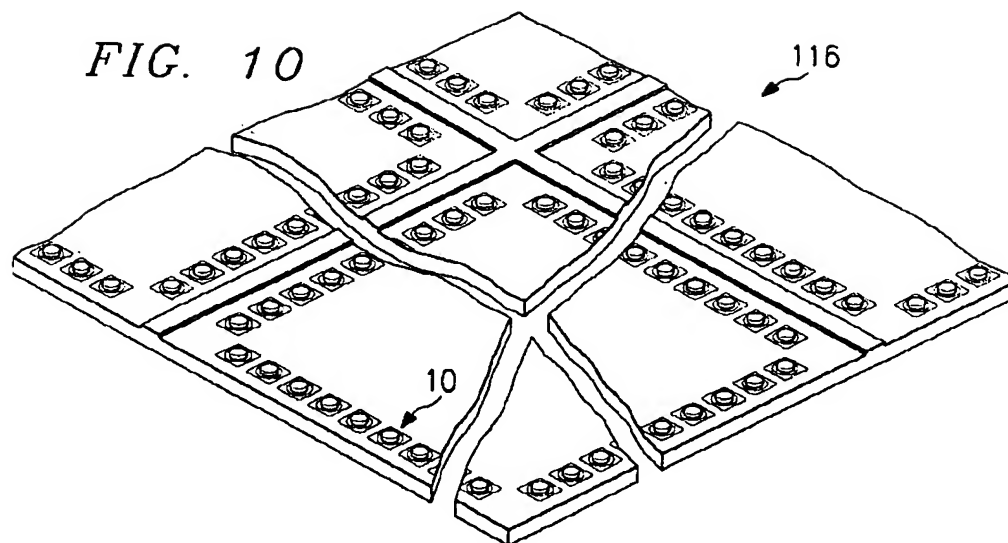


FIG. 8

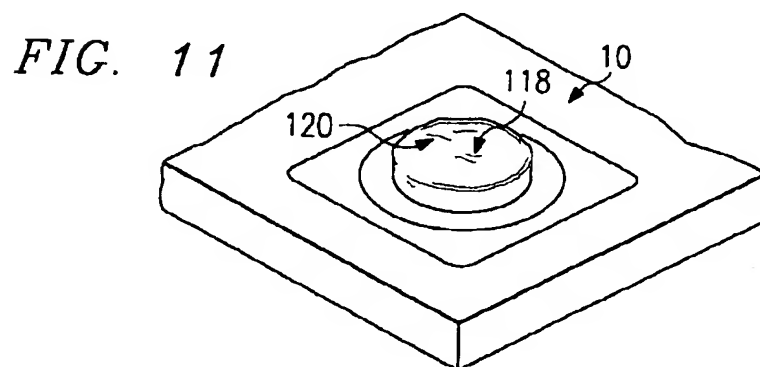
【図9】



【図10】



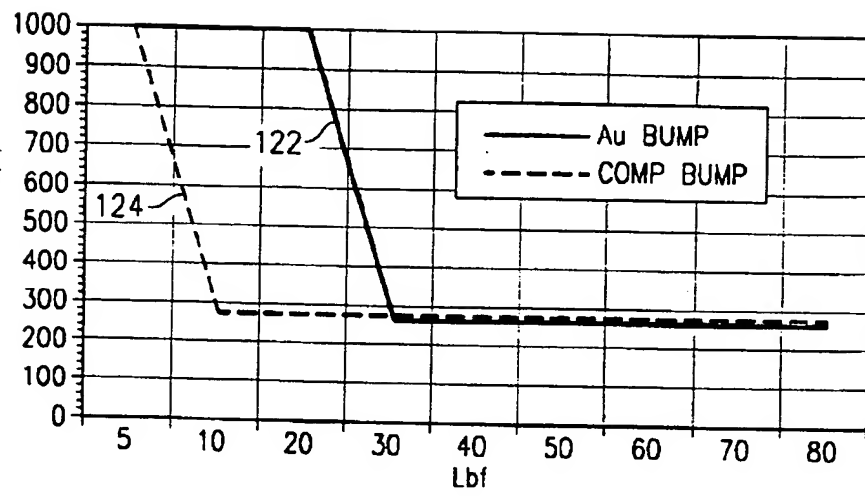
【図11】



【図12】

FIG. 12

AVERAGE RESISTANCE
THROUGH 216 BUMP
DAISY CHAIN
STRUCTURE
(Ω)



【國際調查報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US95/02109

A. CLASSIFICATION OF SUBJECT MATTER IPC(6) : H01L 21/44, 21/441 US CL : 437/183, 189, 190, 192, 193, 194, 203; 156/654, 655, 656, 657; 257/759 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 437/183, 189, 190, 192, 193, 194, 203; 156/654, 655, 656, 657; 257/759 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US, A, 4,740,700 (SHAHAM ET AL) 26 April 1988, col. 2, line 57, to col. 3, line 47.	1, 3, 5, 7
---		-----
Y		2, 4, 6, 8
Y	Proceedings of the 1993 International Symposium on Microelectronics, 9-11 November 1993, Dallas, Texas, J. Simon et al, "Electroless Bumping for TAB and Flip Chip", pages 439-444, especially page 440.	2, 4, 6, 8
A	US, A, 5,189,502 (GOMI) 23 February 1993, entire document.	1-8
A	US, A, 5,071,787 (MORI ET AL) 10 December 1991, entire document	1-8
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier document published on or after the international filing date "C" documents which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" documents of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" documents of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
13 APRIL 1995		05 MAY 1995
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231		Authorized officer KEVIN M. PICARDAT
Facsimile No. (703) 305-3230		Telephone No. (703) 308-0661

INTERNATIONAL SEARCH REPORT

International application No
PCT/US95/02109

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US, A, 5,208,186 (MATHEW) 4 May 1993, entire document.	1-8
A	US, A, 5,223,454 (UDA) 29 June 1993, entire document.	1-8
A	US, A, 5,284,797 (HEIM) 8 February 1994, entire document.	1-8
A,P	US, A, 5,290,732 (KUMAR ET AL) 1 March 1994, entire document.	1-8

フロントページの続き

- (81)指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, M C, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG), AP(KE, MW, SD, SZ, UG), AM, AT, AU, BB, BG, BR, BY, CA, CH, CN, CZ, DE, DK, EE, ES, FI, GB, GE, HU, JP, KE, KG, KP, KR, KZ, LK, LR, LT, LU, LV, MD, MG, MN, MW, MX, NL, NO, NZ, PL, PT, RO, RU, SD, SE, SI, SK, TJ, TT, UA, UZ, VN
- (72)発明者 ハーダ、タッド、エイチ
アメリカ合衆国オーリガン州97330、コー
ヴァリス、エヌダブルュー・アンジェリ
カ・ドライブ 3021番
- (72)発明者 ビシャップ、タマス、エイ
アメリカ合衆国テキサス州78729、オース
ティン、ダラス・ドライブ 7444番
- (72)発明者 トラン、キムカク、ティ
アメリカ合衆国テキサス州78750、オース
ティン、シーダ・ブランチ・ドライブ
2308番
- (72)発明者 フレーリッチ、ラバト、ダブルユー
アメリカ合衆国テキサス州78750、オース
ティン、ミドルビー・ドライブ 9005番
- (72)発明者 ジャーマン、ランディ、エル
アメリカ合衆国テキサス州78717、オース
ティン、シャープストウン 8913番
- (72)発明者 ネルソン、リチャド、ディー
アメリカ合衆国テキサス州78704、オース
ティン、クリフサイド・ドライブ 1500番
- (72)発明者 リー、チュン、ジェイ
アメリカ合衆国テキサス州78733、オース
ティン、ブライトマン・レイン 7908番
- (72)発明者 ブリーン、マーク、アー
アメリカ合衆国テキサス州78704、オース
ティン、ガーナ・アヴィニュー 1602番
- (72)発明者 ケスウィク、キャスリン、ヴィ
アメリカ合衆国テキサス州78704、オース
ティン、カリア・ストリート 1807番